



**ITESO**

Universidad Jesuita  
de Guadalajara

## **Diseño Analógico II**

### **Proyecto Final**

**Diseño e implementación física de un Convertidor Digital  
Analógico R-2R de 8 bits**

María de los Remedios Villafranco Ramírez



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

UNIVERSIDAD JESUITA  
DE GUADALAJARA

UNIVERSIDAD JESUITA  
DE GUADALAJARA

UNIVERSIDAD JESUITA  
DE GUADALAJARA

## Objetivo:

Armar el circuito del convertidor mostrado en la figura 1 en una tarjeta de pruebas (protoboard). Para los amplificadores utilice cualquier opamp (hay LM741 en el laboratorio), para los transistores utilice npn (hay 3904 en el laboratorio), y resistencias utilice el mismo valor de cuando se vio esta arquitectura de tarea (10k y 20k). Utilice las mismas consideraciones de la tarea, voltajes de polarización, encendido y apagado de switches, etc. Intente utilizar los llamados DIP switch para proporcionar las señales digitales (vea ejemplo abajo).

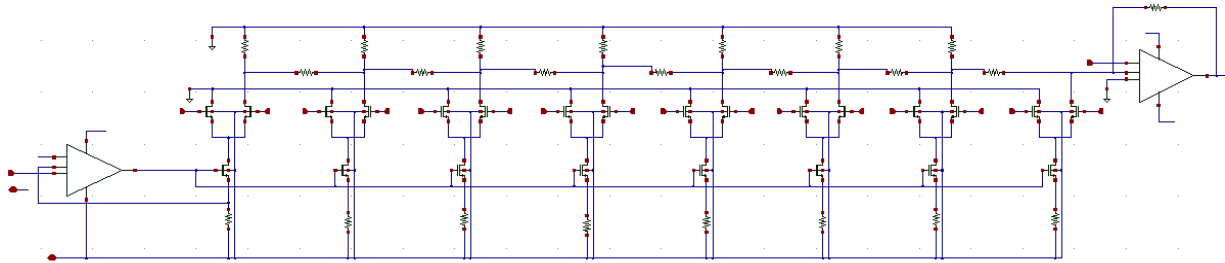


Figura 1. Convertidor Digital Analógico R-2R

## Desarrollo:

El diseño del convertidor consistió en determinar el voltaje de referencia y la resistencia  $R_B$  para la implementación del DAC, las dimensiones de las resistencia  $R$  y  $R_f$  fueron las mismas que se utilizaron en la tarea 1, esto es:  $R$  y  $R_f = 10k$ .

En la figura 1 se observa que por la configuración del primer OPAM el voltaje de referencia es  $V_{ref}$  se ve reflejado en el extremo superior de las resistencias  $R_B$ , por lo que la corriente en la resistencia  $R_B$  esta determinado por:

$$I_B = \frac{V_{ref} - V_{ss}}{R_B} \quad \dots 1$$

Despejando  $R_B$  de 1 y proponiendo  $V_{ref} = -3$ , las especificaciones de la tarea 1 establecían una corriente  $I_B = 100 \mu A$

$$R_B = \frac{V_{ref} - V_{ss}}{I_B} = \frac{-3 - (-4)}{100\mu} = 10000$$

El siguiente paso fue el desarrollo del esquemático del convertidor digital analógico de 8 bits en Cadence. En la figura 2 se muestra el esquemático del DAC R-2R.



ITESO  
Universidad Jesuita  
de Guadalajara

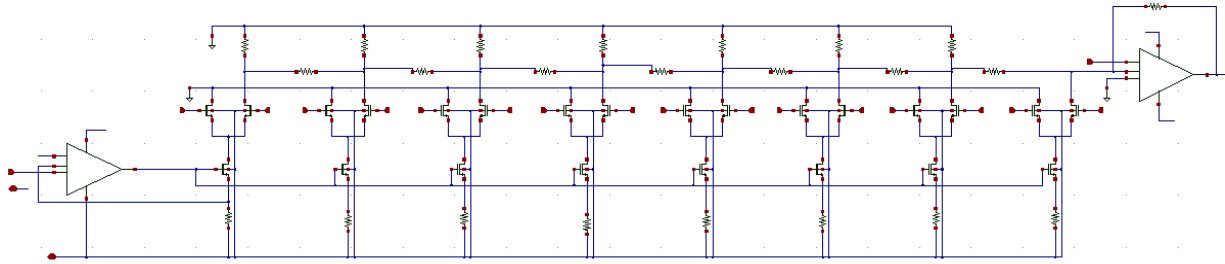


Figura 2. Esquemático de DAC R-2R de 8 bits

En la figura 3 se muestra mas detalle de los voltajes de polarización del circuito anterior, así como la corriente en la rama cuando el switch se encuentra cerrado, se observa que la corriente obtenida es la esperada de 100 uA y el voltaje Vref se ve reflejado en la terminal de la resistencia RB.

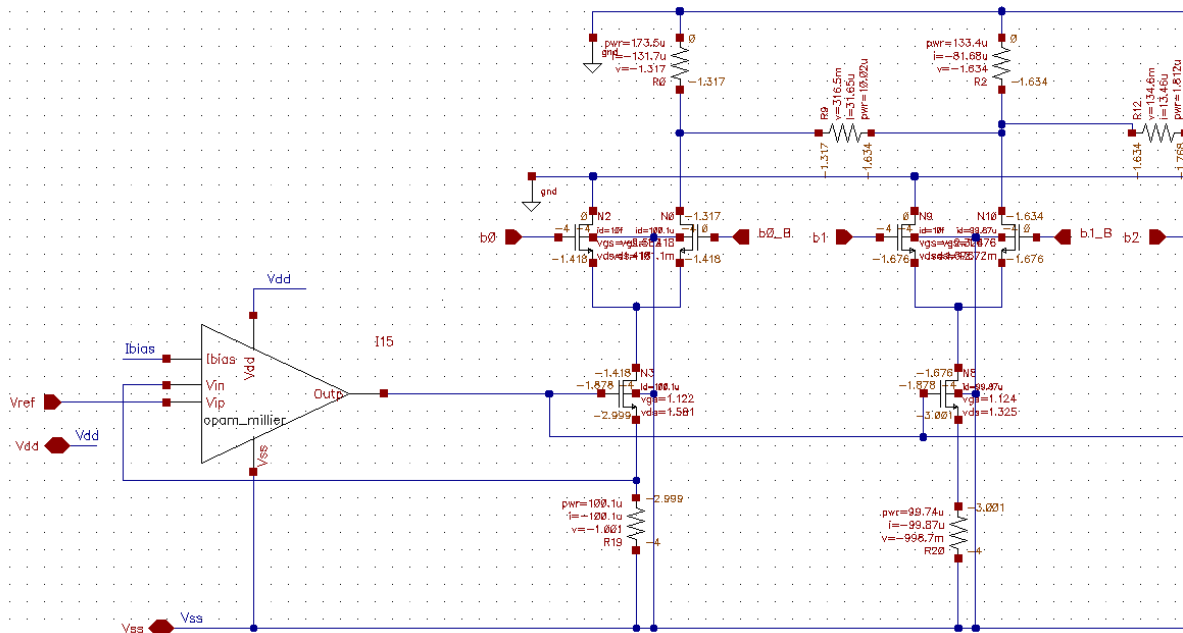


Figura 3. Voltajes de polarización y corrientes de rama.

Se utilizaron fuentes Vpulse para la generación de los voltajes digitales de polarización del circuito, con una separación de 1 ms entre cada valor digital. En la figura 4 se muestra el circuito de prueba implementado para la verificación del DAC R-2R de 8 bits.



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD  
JESUITA DE GUADALAJARA

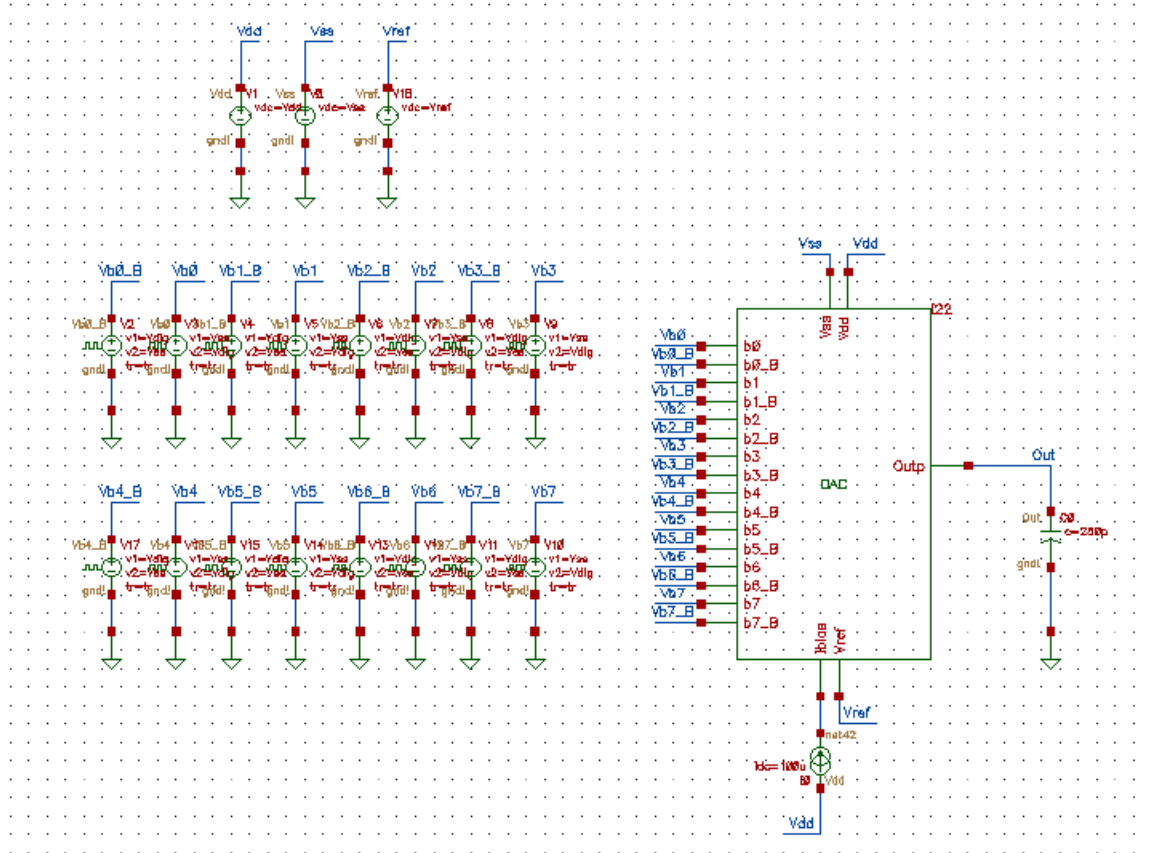


Figura 4. Circuito de prueba del DAC R-2R

Se realizó un análisis transitorio de 300 ms para verificar el funcionamiento del circuito. En la figura 5 se muestra el resultado de la simulación, donde se observa que el rango de funcionamiento del convertidor es de 0 a 1.98 V, ya que  $V_o = R_f \cdot I$  y cuando se tiene el máximo valor digital la corriente que pasa por la resistencia  $R_f$  es aproximadamente 200  $\mu\text{A}$  como se observa en la figura 6:



**ITESO**  
Universidad Jesuita  
de Guadalajara

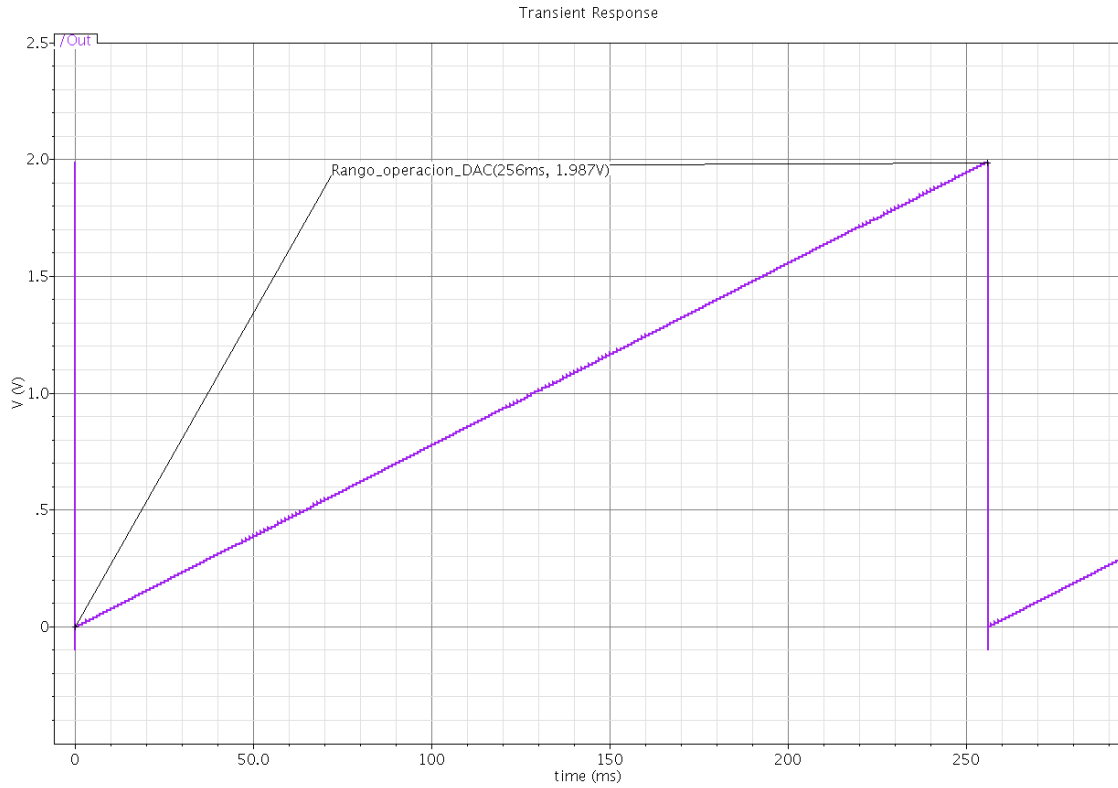


Figura 5. Rango de operación del DAC R-2R

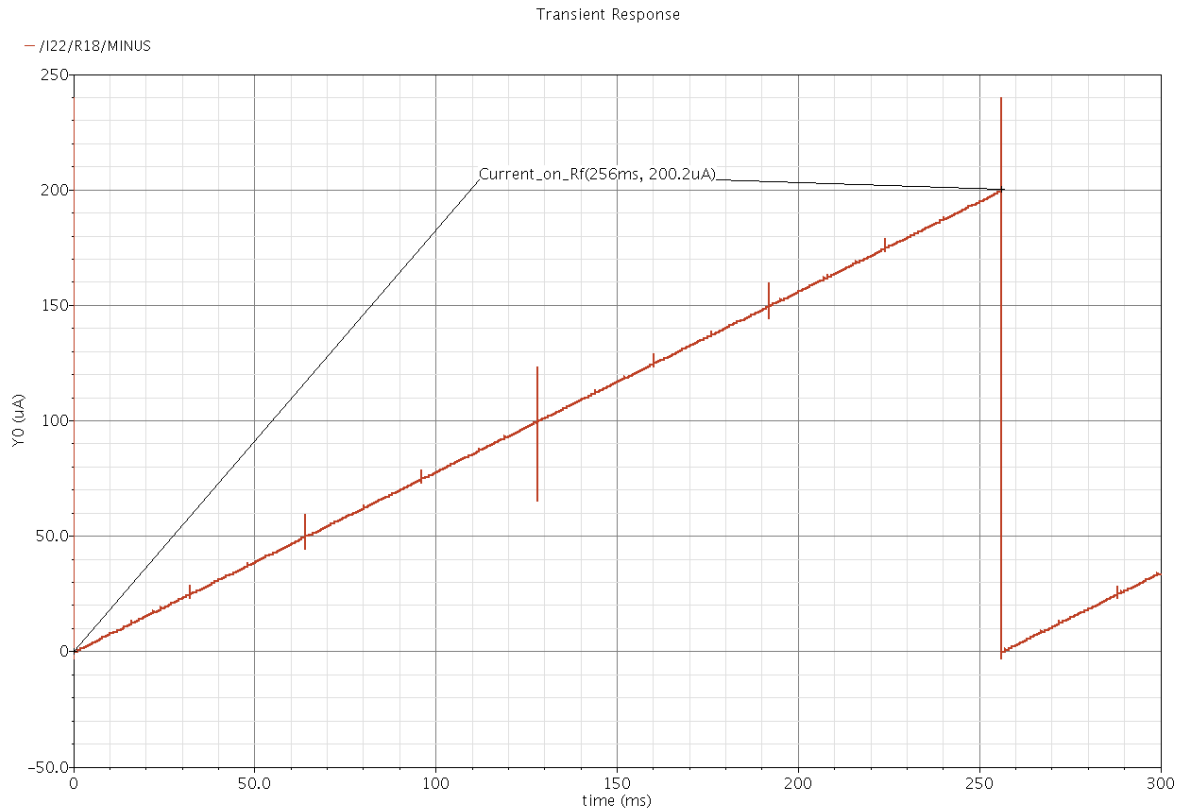


Figura 6. Corriente en la resistencia de retroalimentación  $R_f$



**ITESO**

Universidad Jesuita  
de Guadalajara

UNIVERSITY OF GUADALAJARA

Se realizó la medición de no linealidad diferencial e integral (DNL e INL), así como del error de offset para el circuito simulado. El DNL se refiere a la variación del tamaño del escalón ideal para cada nivel digital con respecto al valor real obtenido. En la figura 7 se muestran 16 mediciones del valor del escalón:

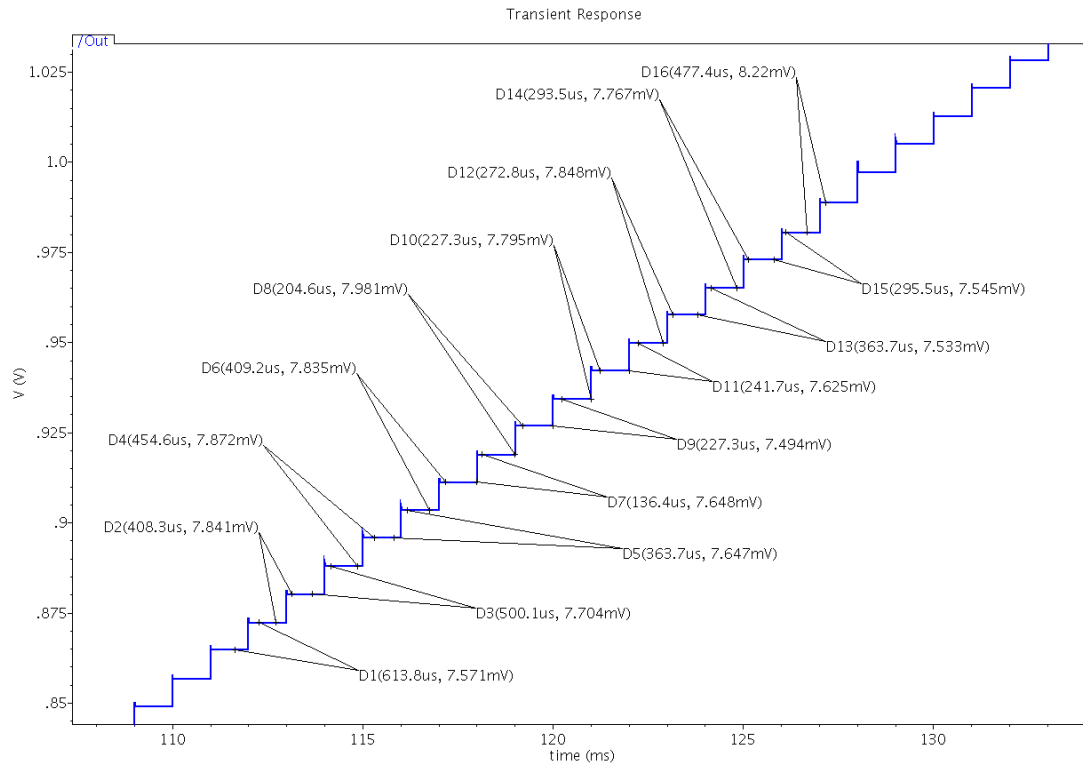


Figura 7. Mediciones de la altura del escalón para cálculo de DNL.

En la tabla 1 se muestra el cálculo de DNL para los valores anteriores, de acuerdo con la configuración de resistencia, se tiene que el valor del escalón ideal para cada nivel digital es de 7.5 mV.

Digito	Valor ideal (mV)	Valor real (mV)	DNL (mV)
01110000	7.53	7.8	0.03
01110001	7.841	7.5	0.341
01110010	7.704	7.5	0.204
01110011	7.872	7.5	0.372
01110100	7.647	7.5	0.147
01110101	7.835	7.5	0.335
01110110	7.648	7.5	0.148
01110111	7.981	7.5	0.481
01111000	7.494	7.5	- 0.006
01111001	7.795	7.5	0.295
01111010	7.625	7.5	0.125
01111011	7.848	7.5	0.348
01111100	7.545	7.5	0.045
01111101	7.767	7.5	0.267
01111110	8.22	7.5	<b>0.72</b>

Tabla1. DNL para el DAC R-2R de 8 bits del circuito simulado.



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

En la figura 8 se muestra la grafica de DNL para las muestras consideradas del esquemático implementado:

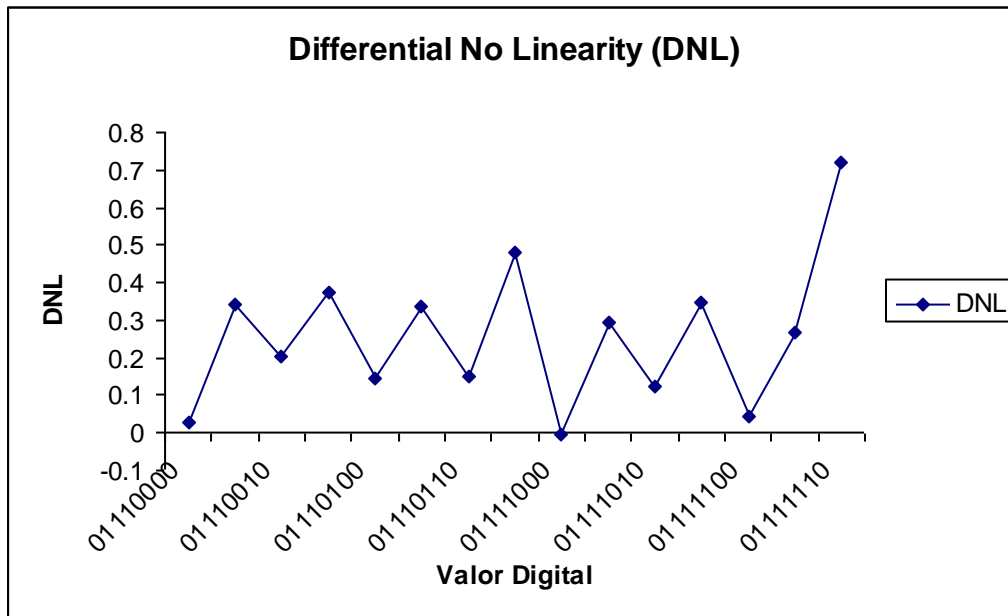


Figura 8. Grafica de DNL del esquemático simulado.

La no linealidad integral se refiere a la diferencia del valor del voltaje para un valor digital con respecto al valor ideal para ese punto, el valor ideal se obtiene de trazar una recta lineal entre el mínimo y máximo voltaje de salida. En las figuras 9 y 10 se muestra el INL para 16 valores digitales del circuito simulado:

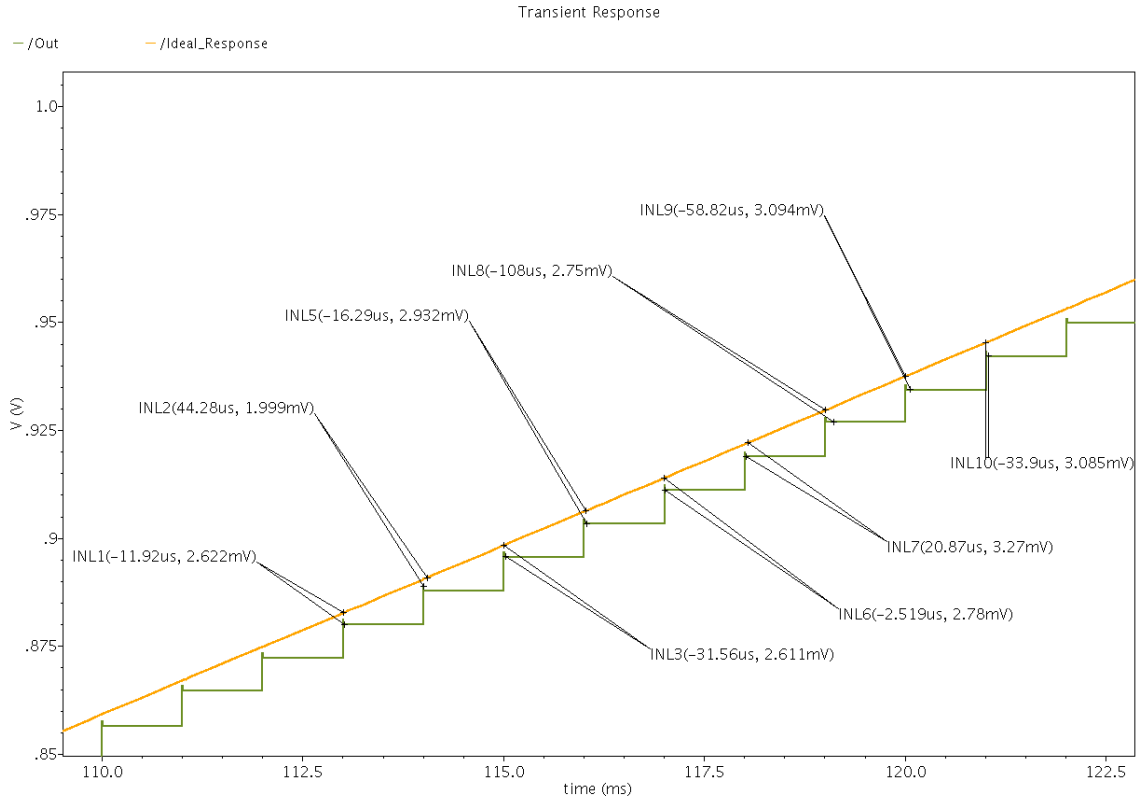


Figura 9. INL para el DAC R-2R de 8 bits del circuito simulado.

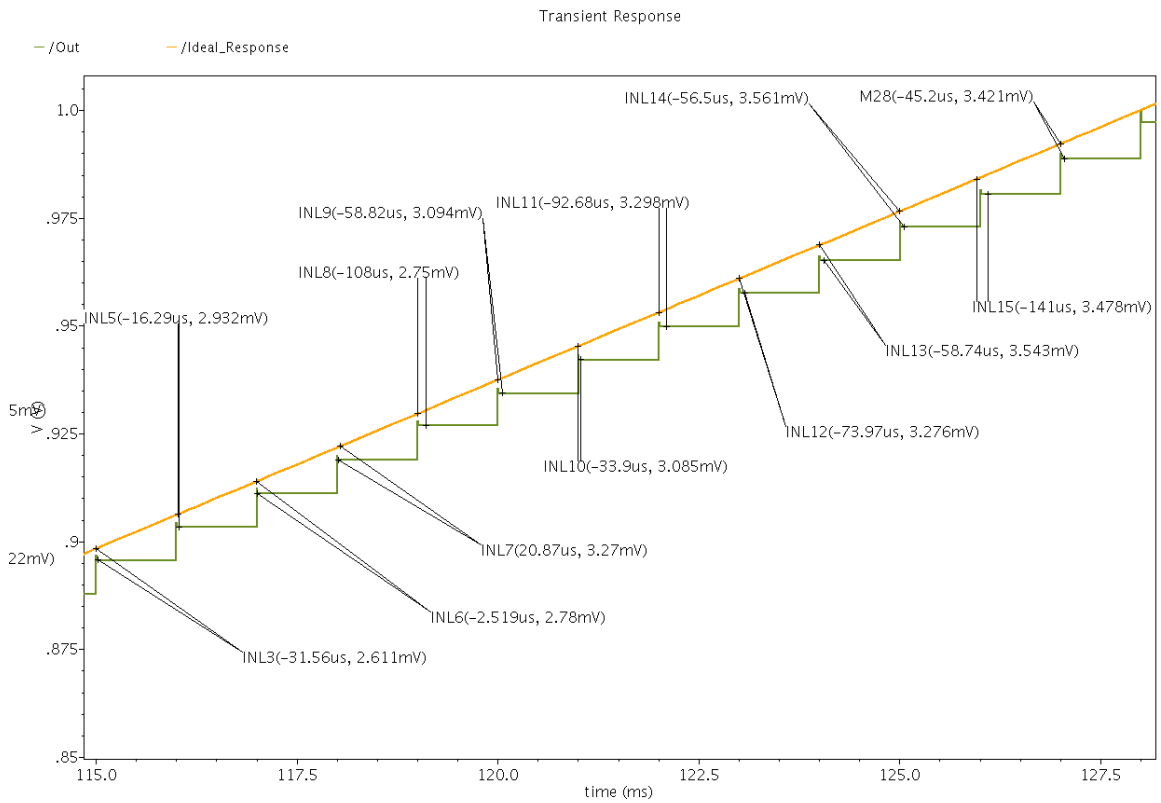


Figura 10. INL para el DAC R-2R de 8 bits del circuito simulado.





ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSITY OF GUADALAJARA

En la figura 11 se muestra la grafica de INL para el convertidor R-2R obtenido en simulación:

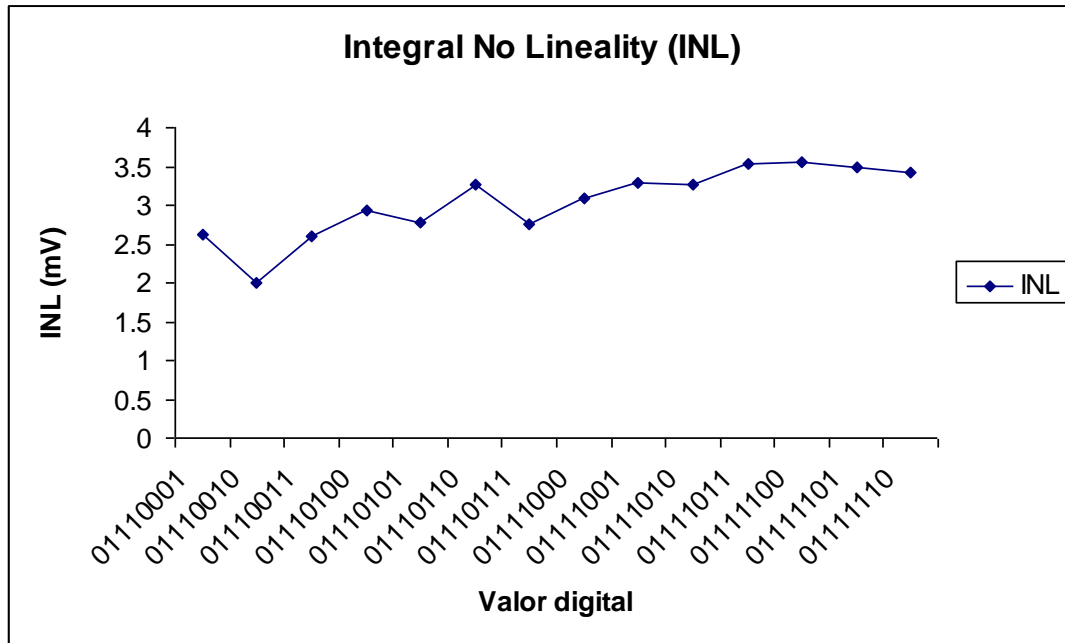


Figura 11. Grafica de INL para el DAC R-2R de 8 bits del esquemático.

El siguiente paso consistió en determinar el error de offset, en la figura 12 se muestra el error de offset obtenido para el esquemático, el cual fue de 950.6 uV.

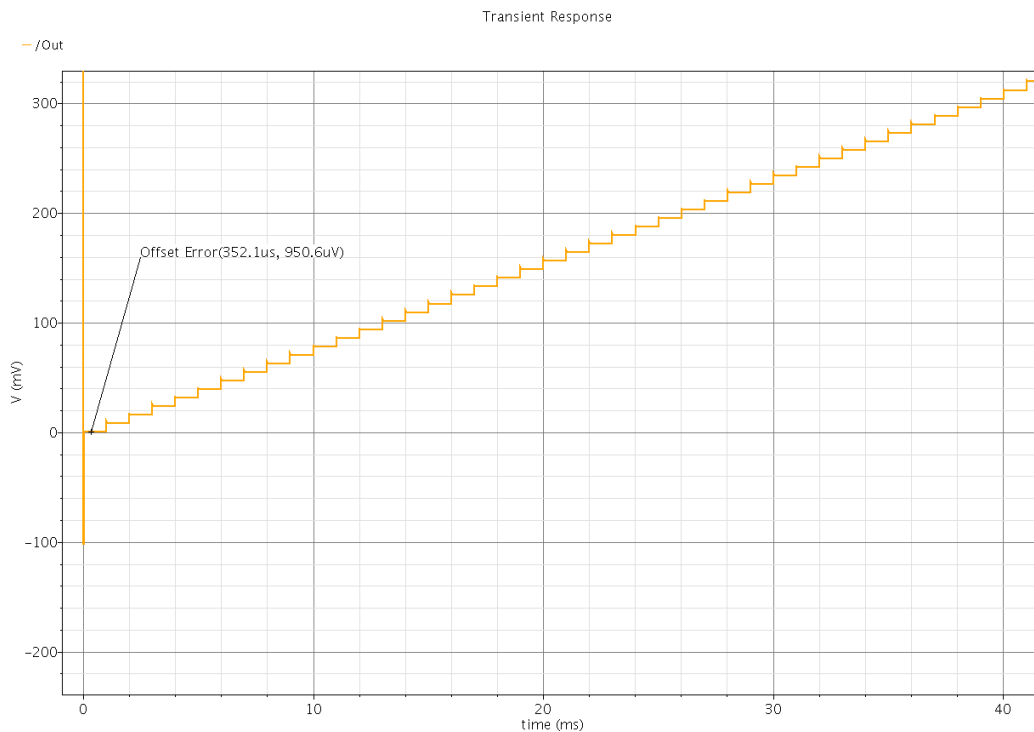


Figura 12. Error de offset del DAC R-2R de 8 bits del circuito simulado.



**ITESO**

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

UNIVERSIDAD JESUITA  
DE GUADALAJARA

UNIVERSIDAD JESUITA  
DE GUADALAJARA

Una vez que el circuito a nivel simulación estuvo funcionando correctamente, se procedió a la implementación física de convertidor. Se utilizaron transistores PN2222 para implementar los switches, para los amplificadores operacionales se utilizo el circuito TL081. Se empleo un dip-switch polarizado de 0 y -4 V para general los voltajes digitales, para los voltajes inversos se utilizo el circuito 74LS04 polarizado de 0 a -4 V.

En la figura 13 y 14 se muestra la implementación física del convertidor digital analógico R-2R de 8 bits:

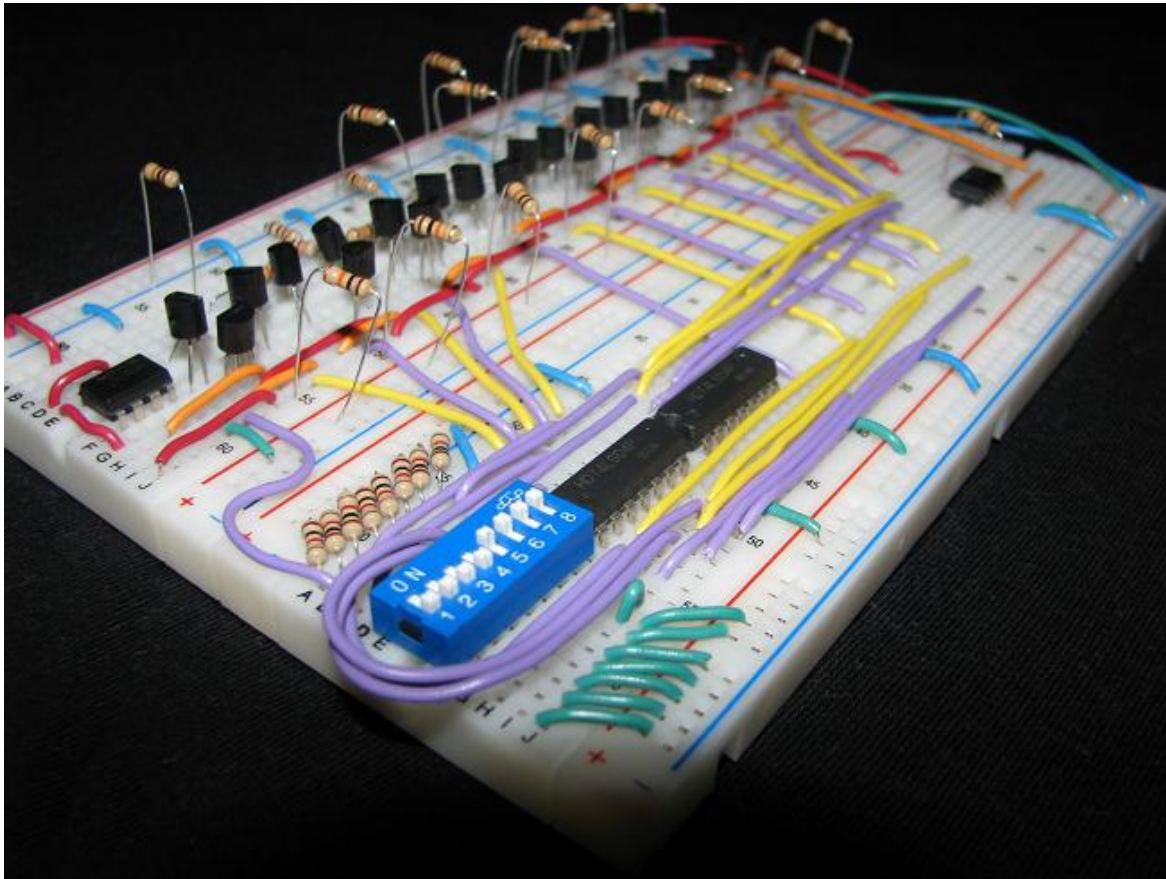


Figura 13. Implementación física del convertidor digital analógico R-2R de 8 bits



**ITESO**

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD  
JESUITA DE GUADALAJARA

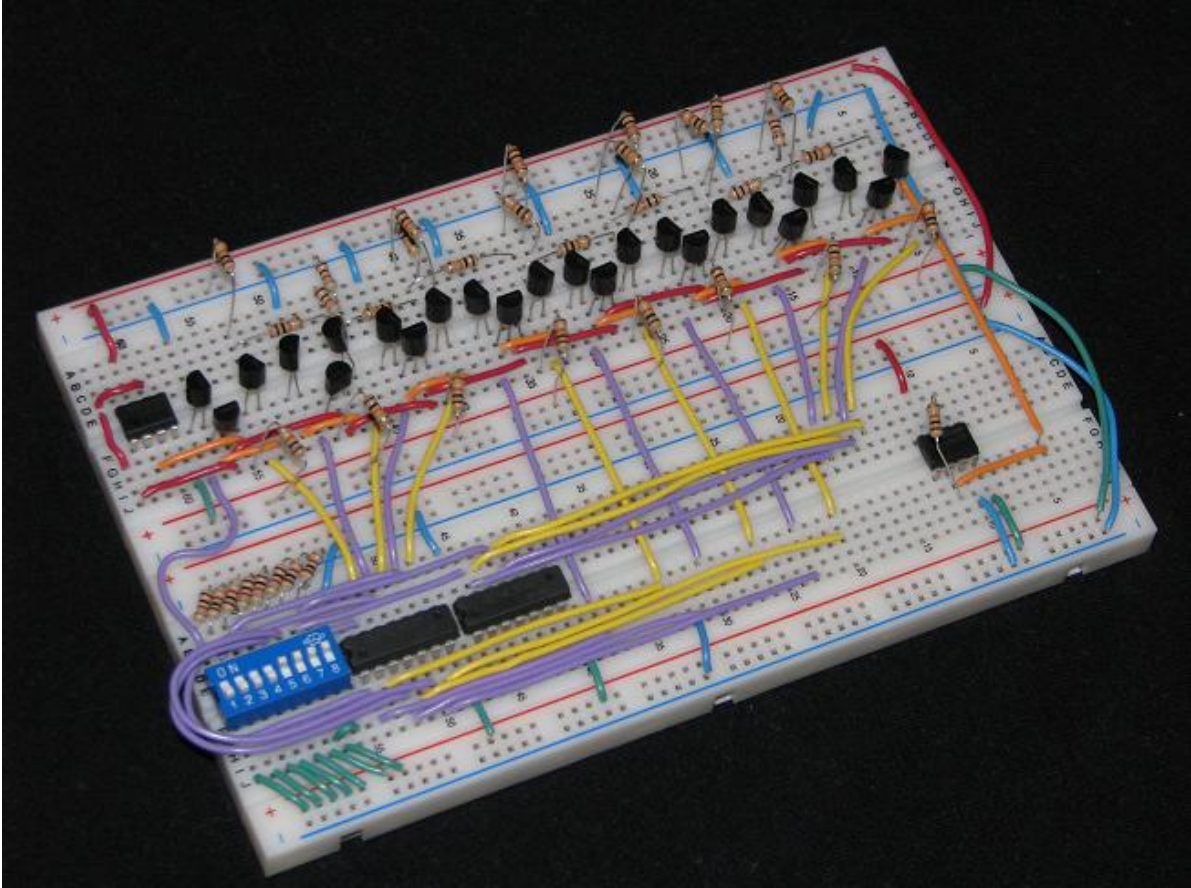


Figura 14. Implementación física del convertidor digital analógico R-2R de 8 bits

Debido a que para un convertidor de 8 bits se tienen 256 posibles combinaciones se va a hacer un análisis por separado de los cuatro bits menos significativos y los cuatro bits más significativos y sus respectivas combinaciones para el cálculo de DNL, INL y error de offset.

En la figura 15 se muestra el voltaje de salida del convertidor físico para los 4 bits menos significativos:



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

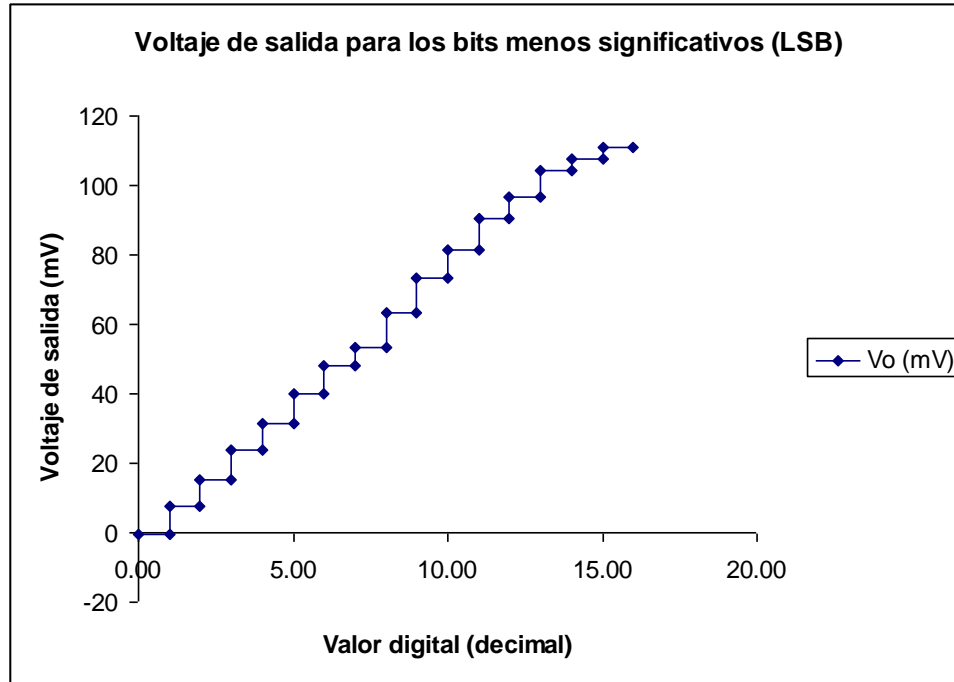


Figura 15. Voltaje de salida de la implementación física del convertidor para los 4 bits menos significativos.

En la figura 16 se muestra el voltaje de salida de la implementación física del convertidor para los 4 bits más significativos:

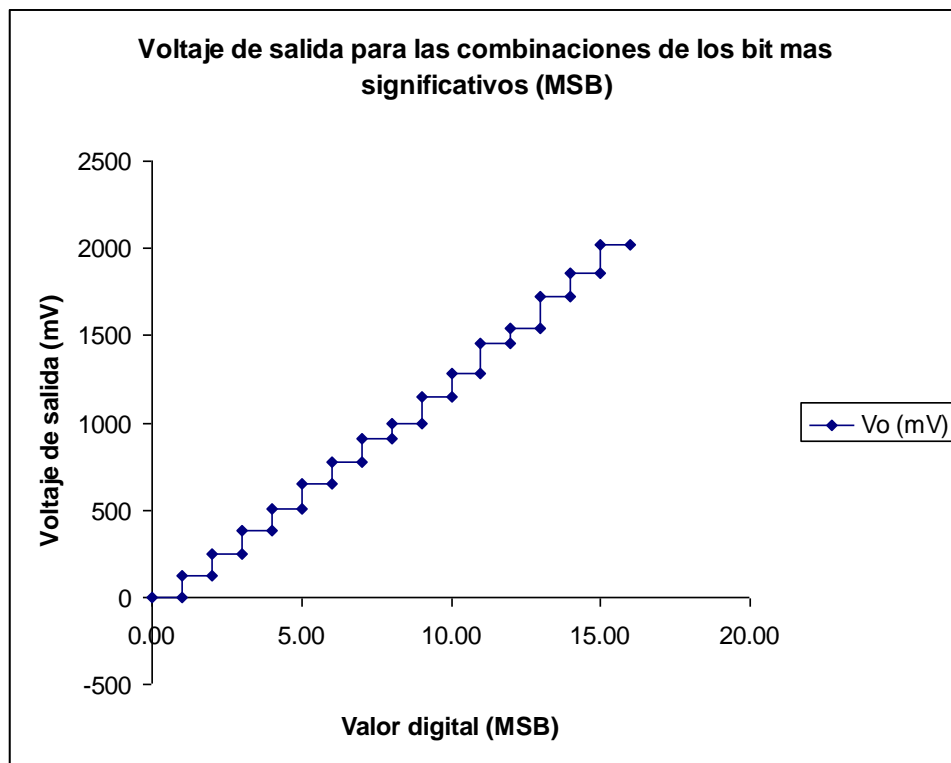


Figura 16. Voltaje de salida de la implementación física del convertidor para los 4 bits más significativos.



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

En la tabla 2 se muestra el cálculo de no linealidad diferencial de los cuatro bits menos significativos y sus respectivas combinaciones:

Digito	V <sub>o</sub> (mV)	Incremento Real (mV)	Incremento Ideal (mV)	DNL (mV)	DNL (LBS)
0000	-0.5	-0.5	0	0.5	0.128008
0001	7.5	8	7.5	-0.5	-0.12801
0010	15.4	7.9	7.5	-0.4	-0.10241
0011	23.8	8.4	7.5	-0.9	-0.23041
0100	31.2	7.4	7.5	0.1	0.025602
0101	40.1	8.9	7.5	-1.4	-0.35842
0110	48.1	8	7.5	-0.5	-0.12801
0111	53.2	5.1	7.5	2.4	0.614439
1000	63.5	10.3	7.5	-2.8	-0.71685
1001	73.2	9.7	7.5	-2.2	-0.56324
1010	81.2	8	7.5	-0.5	-0.12801
1011	90.6	9.4	7.5	-1.9	-0.48643
1100	96.8	6.2	7.5	1.3	0.332821
1101	104.1	7.3	7.5	0.2	0.051203
1110	107.7	3.6	7.5	3.9	0.998464
1111	111	3.3	7.5	4.2	1.075269

Tabla2. Calculo de DNL para los 4 LSB del DAC R-2R de 8 bits del circuito físico.

En la tabla anterior se muestra en una columna el valor DNL normalizado a LBS's donde  $1 \text{ LBS} = 1/2^N = 3.906 \text{ mV}$ , en la figura 17 se muestra la grafica de DNL normalizado a LBS's para los bits menos significativos:

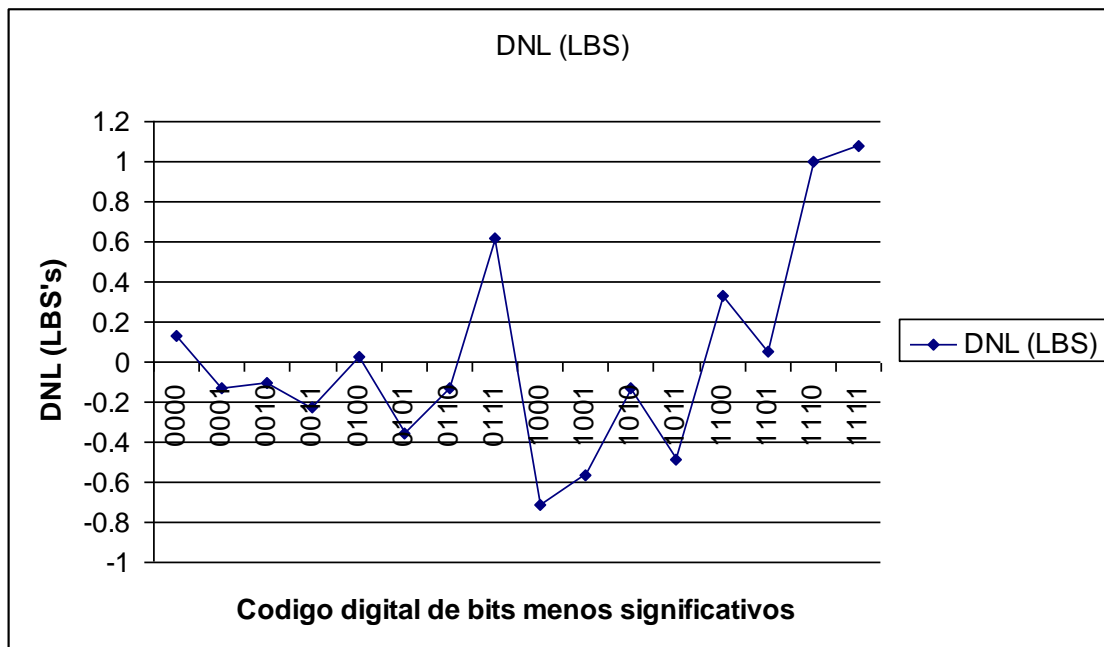


Figura 17. No linealidad diferencial (DNL) normalizado a LBS's para los cuatro bits menos significativos.



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

Se realizo el cálculo de DNL para los bits más significativos, el resultado se muestra en la tabla 3:

Digito	Vo (mV)	Incremento Real (mV)	Incremento Ideal (mV)	DNL (mV)	DNL (LBS)
0000	-0.5	-0.5	0	0.5	0.128008
0001	125.7	126.2	125	-1.2	-0.30722
0010	251.3	125.6	125	-0.6	-0.15361
0011	386	134.7	125	-9.7	-2.48336
0100	505	119	125	6	1.536098
0101	648	143	125	-18	-4.60829
0110	777	129	125	-4	-1.02407
0111	907	130	125	-5	-1.28008
1000	993	86	125	39	9.984639
1001	1151	158	125	-33	-8.44854
1010	1278	127	125	-2	-0.51203
1011	1451	173	125	-48	-12.2888
1100	1540	89	125	36	9.21659
1101	1723	183	125	-58	-14.849
1110	1856	133	125	-8	-2.04813
1111	2018	162	125	-37	-9.47261

Tabla 3. Calculo de DNL para los 4 MSB del DAC R-2R de 8 bits del circuito físico.

En la figura 18 se muestra la grafica de DNL para los 4 bits mas significativos del convertidor físico, dado que se trata de los bits mas significativos el incremento ideal de cada valor digital es de 125 mV.

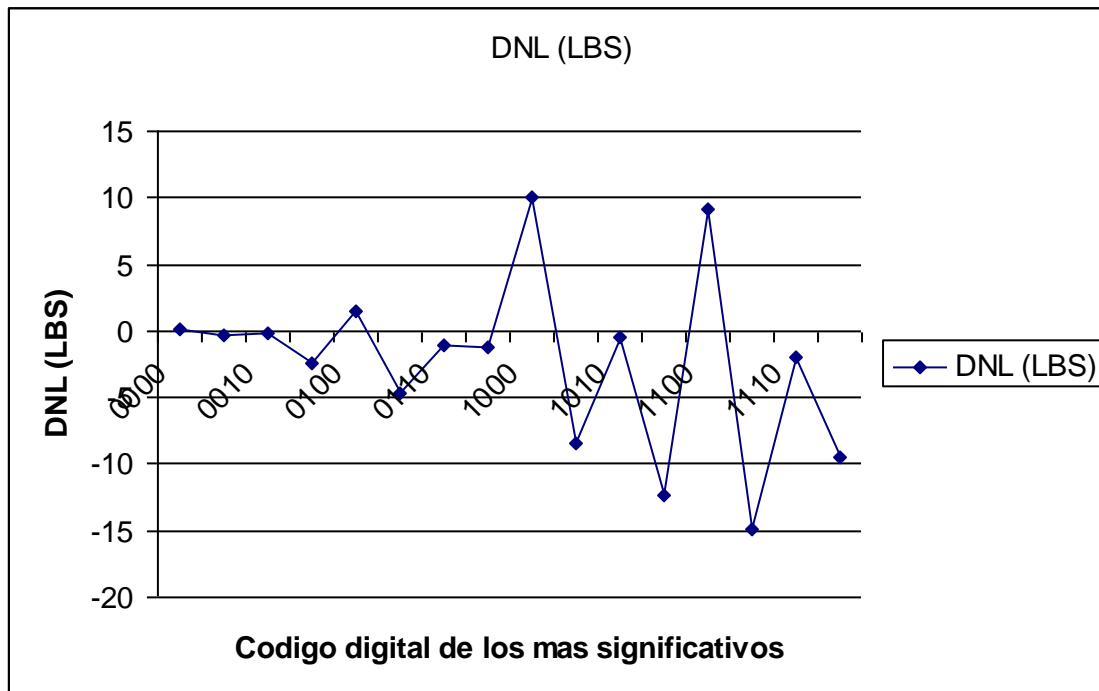


Figura 18. No linealidad diferencial (DNL) normalizado a LBS's para los cuatro bits mas significativos.





ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

En la tabla 4 se muestra el cálculo de no linealidad integral de los voltajes de salida medidos del DAC R-2R implementado físicamente:

Digito	Vo real (mV)	Vo ideal (mV)	INL (mV)	INL (LBS's)
0000	-0.5	0	0.5	0.12800819
0001	7.5	7.5	0	0
0010	15.4	15	-0.4	-0.10240655
0011	23.8	22.5	-1.3	-0.3328213
0100	31.2	30	-1.2	-0.30721966
0101	40.1	37.5	-2.6	-0.6656426
0110	48.1	45	-3.1	-0.79365079
0111	53.2	52.5	-0.7	-0.17921147
1000	63.5	60	-3.5	-0.89605735
1001	73.2	67.5	-5.7	-1.45929339
1010	81.2	75	-6.2	-1.58730159
1011	90.6	82.5	-8.1	-2.07373272
1100	96.8	90	-6.8	-1.74091142
1101	104.1	97.5	-6.6	-1.68970814
1110	107.7	105	-2.7	-0.69124424
1111	111	112.5	1.5	0.38402458

Tabla 4. Cálculo de INL para los 4 LSB del DAC R-2R de 8 bits del circuito físico.

En la figura 19 se muestra la gráfica de No linealidad integral para los 4 bits menos significativos de convertidor digital analógico R-2R implementado físicamente.

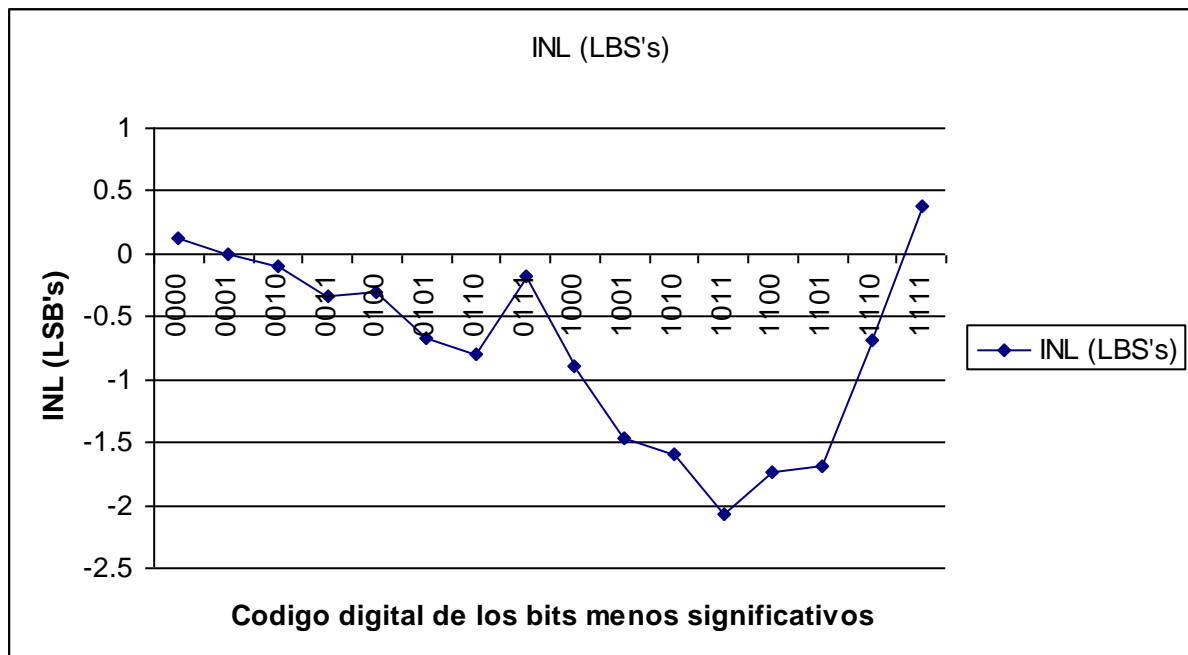


Figura 19. No linealidad integral (INL) normalizado a LBS's para los cuatro bits menos significativos de la implementación física del DAC R-2R de 8 bits.



ITESO

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

El cálculo también se realizó para los bits más significativos, los resultados se muestran en la tabla 5:

Digito	Vo real (mV)	Vo ideal (mV)	INL (mV)	INL (LBS)
0000	-0.5	0	0.5	0.128008
0001	125.7	125	-0.7	-0.17921
0010	251.3	250	-1.3	-0.33282
0011	386	375	-11	-2.81618
0100	505	500	-5	-1.28008
0101	648	625	-23	-5.88838
0110	777	750	-27	-6.91244
0111	907	875	-32	-8.19252
1000	993	1000	7	1.792115
1001	1151	1125	-26	-6.65643
1010	1278	1250	-28	-7.16846
1011	1451	1375	-76	-19.4572
1100	1540	1500	-40	-10.2407
1101	1723	1625	-98	-25.0896
1110	1856	1750	-106	-27.1377
1111	2018	1875	-143	-36.6103

Tabla 5. Cálculo de INL para los 4 MSB del DAC R-2R de 8 bits del circuito físico.

En la figura 20 se muestra la gráfica de la no linealidad integral para las combinaciones de los 4 bits más significativos del DAC de 8 bits:

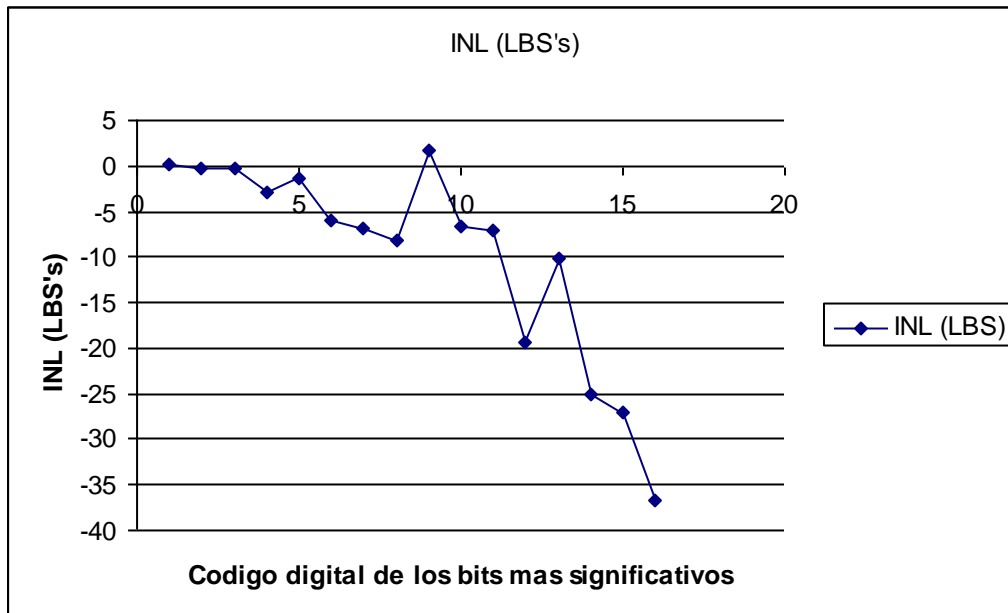


Figura 20. No linealidad integral (INL) normalizado a LBS's para los cuatro bits más significativos de la implementación física del DAC R-2R de 8 bits.





**ITESO**

Universidad Jesuita  
de Guadalajara

UNIVERSIDAD JESUITA  
DE GUADALAJARA

El error de offset es de  $-0.5$  mV, ya que como se observo en las tablas anteriores para un valor digital de 0 se tiene  $-0.5$  mV de salida.

### **Conclusiones:**

En primer lugar se realizo la simulación del DAC para verificar su funcionamiento con las consideraciones de diseño establecidas y los valores de los elementos calculados. En general se observo un comportamiento del circuito implementado físicamente similar a la simulación. Los valores de DNL e INL fueron mayores para el circuito implementado físicamente como era de esperarse, debido a los errores agregados por la tolerancia de las resistencias y demás no linealidades no consideradas en la simulación del circuito.

La única consideración adicional para la implementación del circuito fue el aumento del voltaje de referencia hasta tener la corriente de rama de  $100$   $\mu$ A, este procedimiento es para cancelar el voltaje de offset del amplificador operacional.

En el calculo de DNL e INL se observo mayor no linealidad para los bits mas significativos comparados con los bits menos significativos, ya que la diferencia entre cada dato es mayor por lo que cualquier diferencia tiene mayor efecto en el resultado de DNL e INL. En general el DAC R-2R implementado no puede considerarse como un DAC exacto ya que el error DNL es mayor a  $0.5$  LBS, que es la máxima no linealidad tolerada para considerar al circuito como exacto.