



# Diseño de un transmisor con impedancia ajustable con terminación en fuente en tecnología de 0.6um

Edgar Jiménez Romero.

Departamento de electrónica, sistemas e informática.  
Especialidad en diseño de circuitos integrados.

## RESUMEN

Son presentados el diseño y pruebas en pre y post-layout de un transmisor con ocho niveles de impedancias ajustable en fuente común. El circuito consta de sólo dos etapas, la primer etapa son los transmisores de señal y la otra etapa es la de ajuste de impedancia de salida con un rango de 35 a 65 ohms. El circuito se encuentra diseñado en tecnología de 0.6um para una frecuencia de operación de 100 MHz, un voltaje nominal de 3V  $\pm$  10% y un rango de temperatura de -40 a 127°C

## 1. INTRODUCCIÓN

La búsqueda de altas transferencias de datos a bajo consumo de potencia y área, ha renovado el interés en SST (Source-series terminated). Su ventaja permanece en su potencial de consumir poca energía de operación y su habilidad al hacer frente a una amplia gama de voltajes de terminación, lo que lo hace un candidato ideal para transmisores TX multiestandar. Dado el incremento en la dificultad de alcanzar un rendimiento analógico aceptable en tecnologías digitales avanzadas CMOS, el principio de operación de los transmisores TX basado enteramente en conmutaciones de dispositivos digitales que se optimizan para la operación de alta velocidad y continuar a escala con la tecnología.

## 2. DESARROLLO

### 2.1 Características y especificaciones del proyecto.

El sistema de transmisión consta de 3 etapas, la primera consiste en dos bloques constituidos por transistores N y P con resistencias en serie encargadas de ajustar la impedancia del circuito, el segundo consta de un bloque con un inversor de impedancia fija encargada de transmisión de señal y un tercer bloque constituido por inversores encargado de sincronizar la impedancia para transistores N y P.

Debe funcionar es distintas variaciones que se muestran a continuación:

Esquinas de proceso	WCS	TYP	BCS
Voltaje de alimentación	2.7	3	3.3
Temperatura (°C)	127	65	-40
Frecuencia (MHz)	100	100	100

Tabla 1. Esquinas PVT.

### 2.2 Desarrollo y diseño del transmisor.

El transmisor se encuentra constituido por dos bloques denominados Driver P y Driver N los cuales realizan el ajuste de impedancias al circuito, estos bloques se encuentran conectados a las terminales de fuente de un bloque constituido por un inversor con una impedancia fija de 5 ohms.

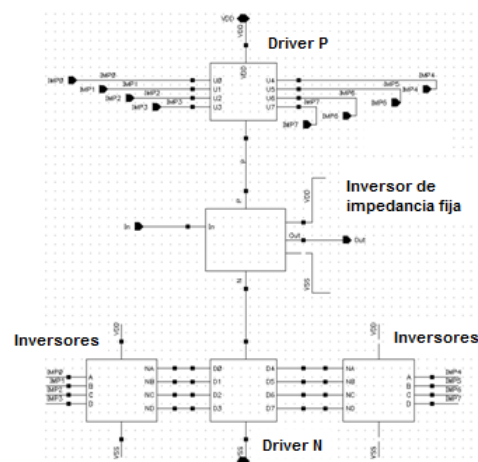


Figura 1. Transmisor con impedancia ajustable.

El bloque del driver N se conforma con 8 bloques de resistores y transistores NMOS conectados en serie los cuales serán activados y desactivados de acuerdo a la impedancia deseada y estos a su vez formaran las impedancias deseadas al conectarse en paralelo entre ellas mismas y en serie con el transistor NMOS del bloque del inversor con impedancia fija.

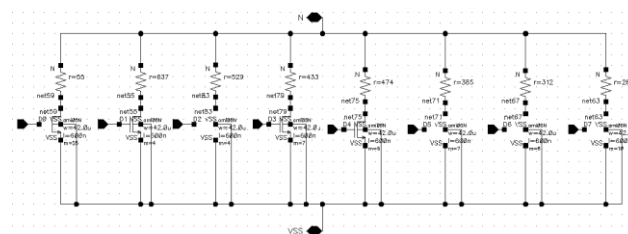


Figura 2. Driver N.

El bloque del driver P se conforma con 8 bloques de resistores y transistores PMOS cumpliendo la misma función que el bloque del Driver N.

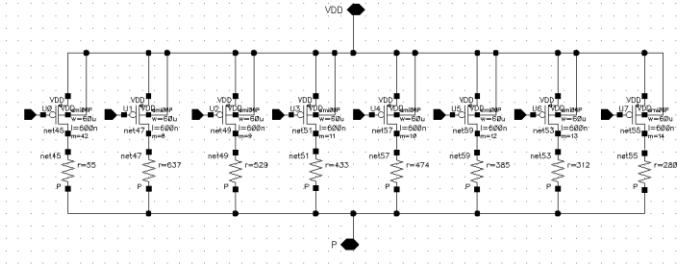


Figura 3. Driver P.

La impedancia calculada para cada uno de los drivers es de un rango de 35 a 65 ohms, por tanto el primer bloque de resistor y transistor conectado en serie debe obtener un valor de 60 ohms que al conectarse en serie con el de impedancia fija den un valor de 65 ohms. Cada etapa activada drecementará la impedancia al estar en paralelo hasta alcanzar un valor de 35 ohms.

Una vez conocido el esquemático del transmisor con impedancia ajustable con terminación en fuente se procede a mostrar el Layout que se muestra a continuación.

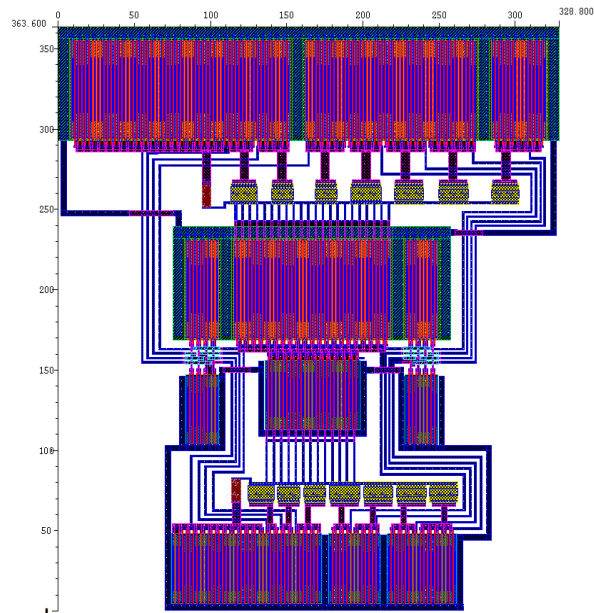


Figura 4. Layout del transmisor

El Layout cuenta con las dimensiones de 363.6u x 328.7u

### 2.3 Pruebas al circuito.

Para observar el comportamiento del circuito se realizan diversas pruebas para las cuales se muestran a continuación.

#### 2.3.1 Resistencia de carga.

A continuación se muestra la cama de pruebas utilizada para la resistencia de carga a la salida.

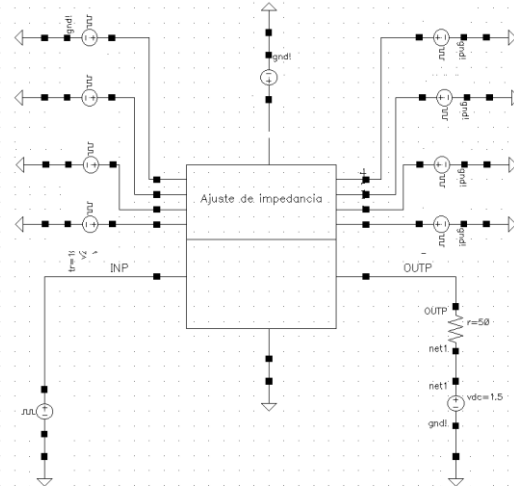


Figura 5. Cama de pruebas con RL.

Es utilizada para ajustar las impedancias por medio de divisores de voltaje.

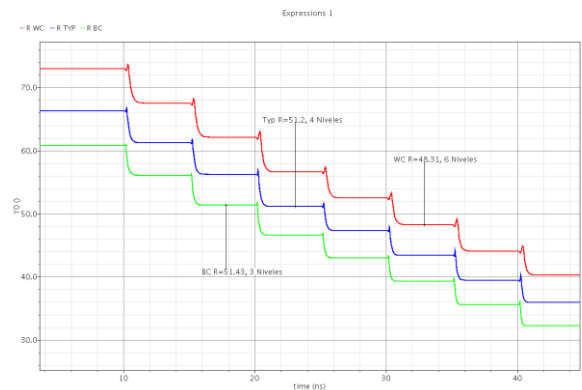


Figura 6. Calibración de Impedancias N(Pre-Layout y typ)

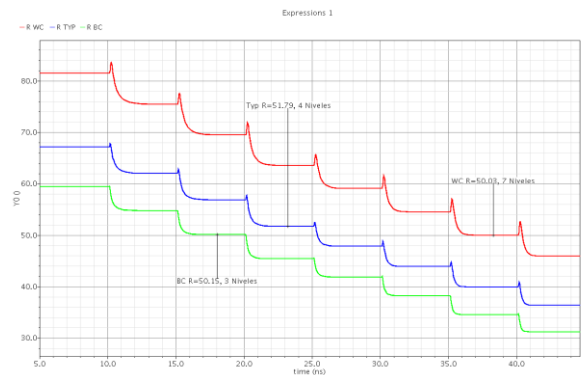


Figura 7. Calibración de Impedancias P (Pre-Layout y typ)

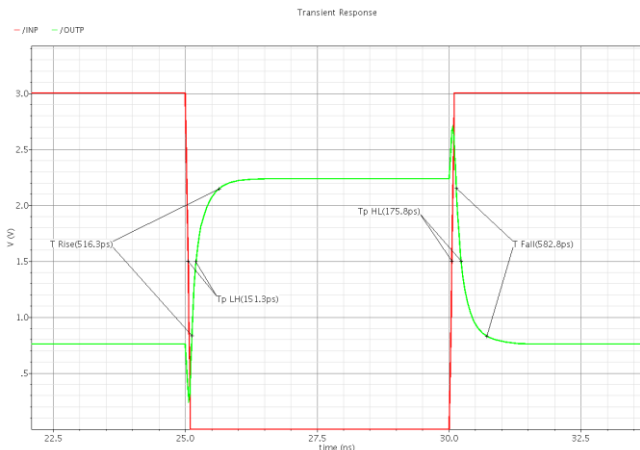


Figura 8. Medición de tiempos de propagación, subida y bajada (Pre-Layout, typ)

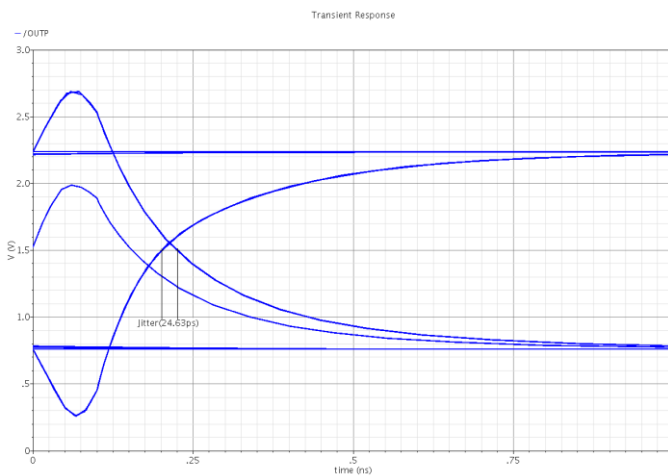


Figura 9. Jitter (Pre-Layout, typ)

Los resultados obtenidos al realizar la calibración de impedancias se presentan en las siguientes tablas.

	Pre-Layout Best Case (ohms)	Post-Layout Best Case (ohms)	Pre-Layout Típico(ohms)	Post-Layout Típico(ohms)	Pre-Layout Worst Case (ohms)	Post-Layout Worst Case (ohms)
NMOS						
R0	60.84	60.84	66.31	66.31	73.01	73.01
R1	56.14	56.14	61.29	61.29	67.56	67.56
R2	51.43	51.43	56.28	56.29	62.16	62.17
R3	46.65	46.67	51.18	51.2	56.63	56.66
R4	43.04	43.07	47.34	47.38	52.49	52.53
R5	39.34	39.37	43.42	43.45	48.28	48.32
R6	35.62	35.64	39.5	39.52	44.08	44.1
R7	32.27	32.3	35.95	35.98	40.28	40.32

Tabla 2. Tabla comparativa de impedancias obtenidas en NMOS.

	Pre-Layout Best Case PMOS(ohms)	Post-Layout Best Case PMOS(ohms)	Pre-Layout Típico(ohms)	Post-Layout Típico(ohms)	Pre-Layout Worst Case (ohms)	Post-Layout Worst Case (ohms)
R0	59.46	59.47	67.17	67.17	81.5	81.53
R1	54.83	54.82	62.06	62.05	75.56	75.51
R2	50.15	50.15	56.92	56.92	69.55	69.53
R3	45.44	45.46	51.77	51.79	63.58	63.58
R4	41.88	41.92	47.89	47.92	59.1	59.12
R5	38.23	38.26	43.91	43.95	54.54	54.56
R6	34.55	34.58	39.94	39.96	50.01	50.03
R7	31.25	31.28	36.38	36.41	45.97	46

Tabla 3. Tabla comparativa de impedancias obtenidas en PMOS.

Los tiempos de las diferentes mediciones se muestran a continuación:

	Pre-Layout Best Case	Post-Layout Best Case	Pre-Layout Típico	Post-Layout Típico	Pre-Layout Worst Case	Post-Layout Worst Case
TRise	409.5ps	272.4ps	516.3ps	212ps	555.5ps	484.1ps
TFall	493.1ps	342.8ps	582.8ps	287ps	578.4ps	364.6ps
Tp HL	118.9ps	97.39ps	175.8ps	138.1ps	249ps	184.3ps
Tp LH	103.1ps	99.54ps	151.3ps	128.6ps	223ps	173ps
Jitter	26.22ps	8.961ps	24.63ps	11.02ps	15.1ps	1.602ps

Tabla 3. Tabla comparativa de tiempos de propagación, subida, bajada y Jitter en circuitos con carga R a la salida.

### 2.3.2. Circuito RC de carga

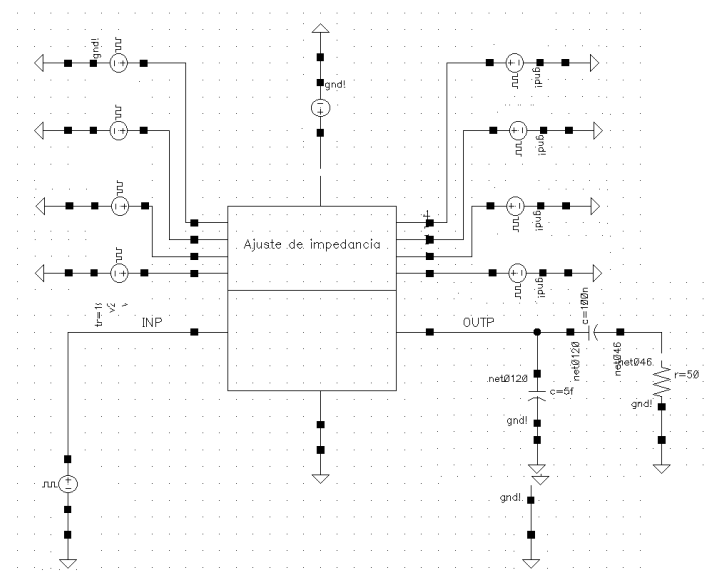


Figura 10. Cama de pruebas con RC de carga.

La cama de pruebas está constituida por un circuito RC de carga, con la intención de observar el comportamiento del circuito ante una representación del medio en el que puede operar el circuito transmisor.

Se realizan mediciones de tiempos de propagación subida y bajada.

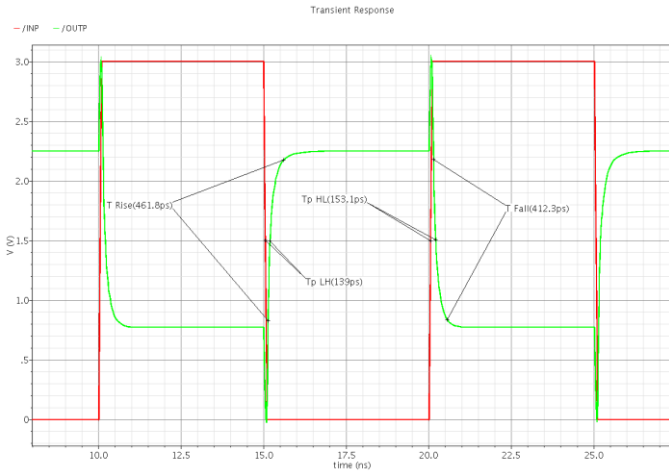


Figura 11. Tiempos de propagación, subida y bajada (Post-Layout, typ).

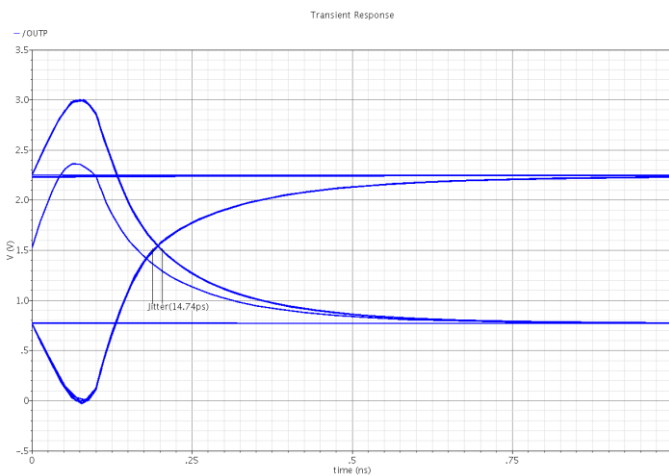


Figura 12. Jitter (Post-Layout, typ).

Se muestran las tablas con las diferentes mediciones realizadas para cada esquina.

	Pre-Layout	Post-Layout	Pre-Layout	Post-Layout	Pre-Layout	Post-Layout
	Best Case	Best Case	Típico	Típico	Worst Case	Worst Case
T Rise	462.5ps	356.1ps	637.4ps	461.8ps	779.4ps	490.1ps
T Fall	522.2ps	375.6ps	595.1ps	412.3ps	599.8ps	336.5ps
Tp HL	146.4ps	148.8ps	190.5ps	153.1ps	231.6ps	182.1ps
Tp LH	97.87ps	78.61ps	159.2ps	139ps	264.3ps	205.9ps
Jitter	58.3ps	32.21ps	30.77ps	14.74ps	43.18ps	36.1ps

Tabla 4. Tabla comparativa de tiempos de propagación, subida, bajada y Jitter en circuitos con carga RC a la salida.

### 2.3.3 Línea de transmisión a la salida.

Tratando de simular condiciones más extremas el circuito se conecta a una línea de transmisión la cual está representada por 6 circuitos RC conectados en serie.

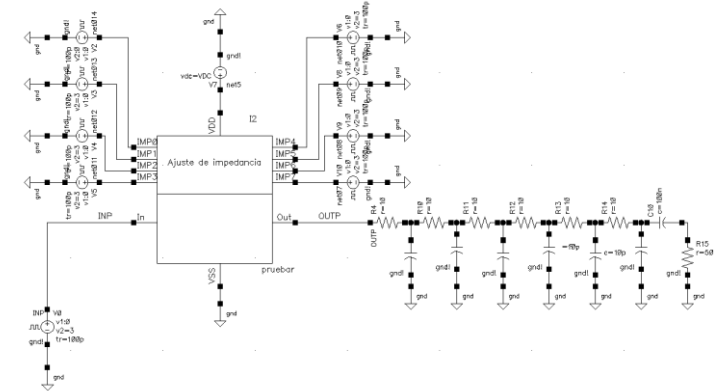


Figura 13. Cama de pruebas con línea de transmisión.

Se realizan las mediciones de tiempos de propagación, subida y bajada.

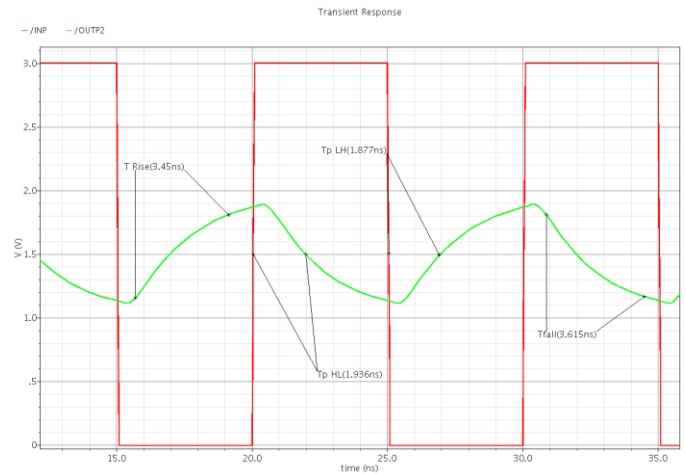


Figura 14. Tiempos de propagación, subida y bajada (Post-Layout, typ).

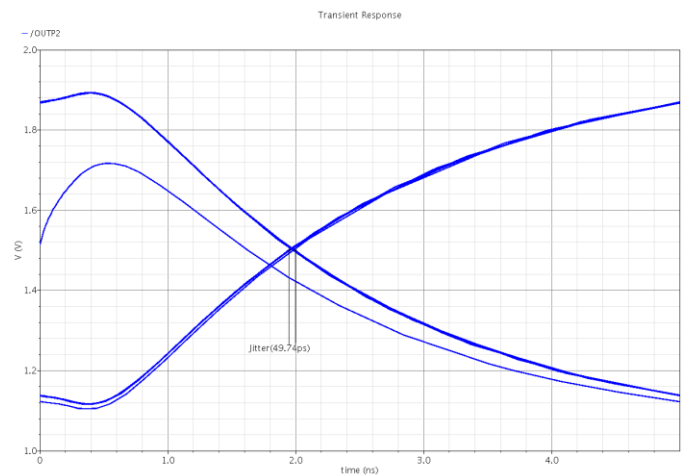


Figura 15. Jitter (Post-Layout, typ).

Se muestran las tablas con las diferentes mediciones realizadas para cada esquina.

	Pre-Layout	Post-Layout	Pre-Layout	Post-Layout	Pre-Layout	Post-Layout
	Best Case	Best Case	Típico	Típico	Worst Case	Worst Case
T Rise	3.916ns	3.579ns	3.665ns	3.45ns	3.797ns	3.808ns
T Fall	3.81ns	3.773ns	3.591ns	3.615ns	3.888ns	3.822ns
Tp HL	1.873ns	1.534ns	1.93ns	1.936ns	1.925ns	1.881ns
Tp LH	1.721ns	2.16ns	1.912ns	1.877ns	2.233ns	2.198ns
Jitter	162.8ps	191.2ps	18.7ps	49.74ps	352.6ps	371.3ps

Tabla 5. Tabla comparativa de tiempos de propagación, subida, bajada y Jitter en circuitos con carga RC a la salida.

### 3. RESULTADOS.

Las impedancias no fueron alcanzadas para las pruebas en Worst Case para la impedancia de 35 ohms y en Best Case para la impedancia de 65 ohms. Por lo que el transmisor no podrá operar en ciertos protocolos para dichas esquinas.

Los resultados Post-Layout obtenidos muestran que su desempeño mejoro en sus tiempos de respuesta a comparación de Pre-Layout.

Los resultados obtenidos en Jitter difieren unos entre otros para diversas esquinas tanto en Pre-Layout como Post-Layout.

### 4. CONCLUSIONES.

Los resultados obtenidos no cumplieron dos especificaciones para Worst Case como Best Case en cuanto a la impedancia ajustable, esto puede ser solucionado proponiendo una escala más grande de impedancias y obtener el valor de impedancia con alguna de las combinaciones del rango entre 65 y 35 ohms.

Los resultados obtenidos Post-Layout mejoran a comparación que los resultados obtenidos en Pre-Layout, con lo cual el simulador nos da a entender que las capacitancias parasitas extraídas en el Layout no afectan más que el circuito Pre-Layout.

Es necesario cumplir mejoras en Layout en cuanto a electromigración considerando que por cada mA se debe hacer un um más grueso el metal.

### 5. REREFENCIAS.

- [1]. Domingo Joan. Comunicaciones en el entorno industrial. Editorial UOC.
- [2]. Frenzel, E.L. (2003). Sistemas electrónicos de comunicaciones. México: Alfaomega.
- [3]. R.A. Philpott, J.S. Humble, R.A. Kertis, K.E. Fritz, B.K. Gilbert, E.S. Daniel; A 20 Gb/s SerDes Transmitter with Adjustable Source Impedance and 4-tap Feed-

Forward Equalization in 65nm Bulk CMOS. ISSCC Digest of Technical Papers, pp. 623-626. 2008.

- [4]. C. Menolffi, T. Toifl, P. Buchmann, M. Kossel, T. Morf, J. Weiss, M. Schmatz. A 16 Gb/s Source-Series Terminated Transmitter in 65 nm CMOS SOI. ISSCC Digest of Technical Pappers, pp. 446-447, 614. 2007.

- [5]. Reportes del Proyecto Final de la Especialidad en Diseño de Circuitos Integrados. Realizado por Ing. Romeo Covarrubias Larios e Ing. Enrique Maximiliano Calderón Ramos y José Luis Chávez Hurtado.

De dicho reporte la bibliografía utilizada fue la siguiente:

- [6] Ray Horak; Communications systems and networks, 3<sup>rd</sup> Edition; Wiley Publishing, Inc.; Indianapolis Indiana; 2002; Pags 678.
- [7] Wayne Tomasi, Sistemas de comunicaciones electrónicas, 2a edición, Pearson Educación, Edo. De México 1996. Pp 858.
- [8] Louis E. Frenzel; Principles of electronic communication systems, 2do Edition; McGraw – Hill; Estados unidos de América, 2003; Págs 1030.