

## Optimización de los tiempos de Setup y Hold de flip flops.

Ing. Alejandro Güereña Morán, *Estudiante*  
 Mc. Alejandro Girón Allende, *Asesor*  
*Especialidad en Diseño de Circuitos Integrados, ITESO*  
*Tlaquepaque, Jalisco, México*  
*md679705@iteso.mx*

### Resumen

El diseño de flip flops impacta en el desempeño de circuitos secuenciales, ya que las dimensiones y topologías que se usen para el diseño de éstos, afectarán en parámetros como consumo de potencia y velocidad. Se presentará que realizando la optimización de los tiempos de Setup y Hold, se impacta en gran manera los parámetros mencionados dentro de un circuito secuencial.

### 1. INTRODUCCIÓN

Los circuitos secuenciales tienen la característica de que su salida depende de las entradas actuales, así como de las entradas previas. Los flip flops son el elemento fundamental de la lógica digital secuencial. Representan elementos básicos de memoria al ser capaces de permanecer en un estado lógico, cambiando su salida sólo en flancos de reloj.

Se usan para implementar máquinas de estado, contadores, memorias, registros de corrimiento y otros circuitos secuenciales. En este documento se analiza el desempeño de un contador de anillo módulo 8 como circuito secuencial.

Las entradas de datos y señal de reloj de un flip flop necesitan satisfacer restricciones básicas de tiempo, para garantizar el correcto funcionamiento del flip flop. Estas restricciones de tiempo entre la señal de entrada y la señal de reloj se conocen como tiempo de setup y tiempo de hold. El incumplimiento de estas restricciones de tiempo, causan que nuestro circuito secuencial tenga un funcionamiento incorrecto [1].

El tiempo de setup ( $t_{su}$ ) se define como el mínimo tiempo requerido para que el valor del dato de entrada se encuentre definido antes de la transición de reloj.

El tiempo de hold ( $t_{hold}$ ) se define como el mínimo tiempo requerido en que el valor del dato de entrada debe permanecer retenido antes de la transición de reloj.

### 2. ESPECIFICACIONES DEL DISEÑO

El flip flop a implementar es un tipo D de topología PowerPC [2], añadiendo lógica de reset y set, con el objetivo de implementar un contador de anillo.

Tecnología	Amis 0.6 $\mu$ m
Voltaje de operación	3V
Tiempo de rampa	100ps
Capacitancia de carga	50fF
Frecuencia de reloj	10ns
Wp	4.05 $\mu$ m
Wn	1.95 $\mu$ m
L	0.6 $\mu$ m

Tabla 1 – Especificaciones del proyecto.

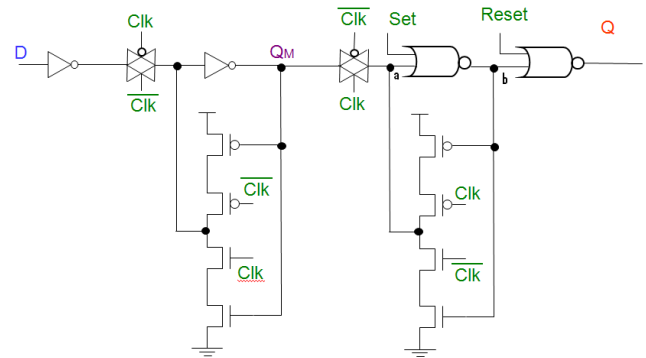


Figura 1 – Flip Flop D Topología PowerPC.

### 3. FUNCIONAMIENTO

#### 3.1 Flip Flop D Topología PowerPC

Esta topología contiene: dos compuertas de transmisión que se activan en flancos opuestos de la señal de reloj; dos inversores y dos latches que mantienen el estado anterior antes de que se presente un nuevo flanco de subida de reloj. Las compuertas NOR, sirven para forzar un 0 en la salida,

cuando la señal de reset este activa en alto, sin importar el valor de la señal de set. Si la señal reset es desactivada y Set activada en alto, se obtiene un 1 lógico en la salida. Cuando las dos señales estén desactivadas, las compuertas NOR se comportan como inversores, siendo este el funcionamiento normal de flip flop Power PC.

Para caracterizar los tiempos de setup y hold, se realiza un análisis para métrico, donde el tiempo de setup se obtiene modificando el tiempo del valor de entrada D antes del flanco de subida de la señal de reloj, verificando el tiempo en el cual no existe una transición de la salida Q. El tiempo de hold se obtiene verificando cuanto tiempo se retiene el valor de entrada D antes de la transición de reloj hasta que no exista una transición de la salida Q. Se miden los tiempos de setup y hold y se mide la propagación de la señal de salida Q respecto a la señal de reloj, para obtener las gráficas de setup y hold.

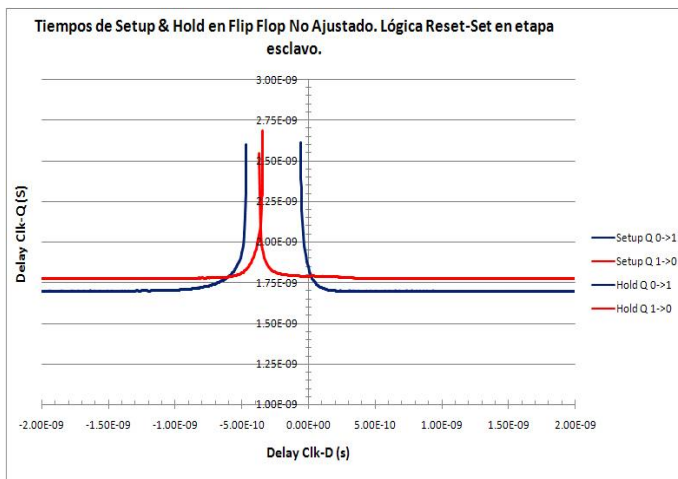


Figura 1. Tiempos de Setup y Hold de Flip Flop D.

### 3.2 Contador de Anillo Módulo 8

El contador de anillo módulo 8 está conformado por 8 flip flops que determinarán la cuenta. Tiene la característica que la frecuencia de operación del contador está determinada por el tiempo de propagación de las señales de los flip flops [3].

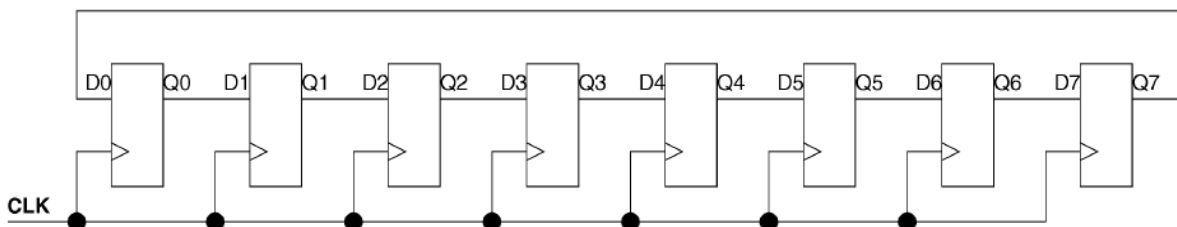


Figura 3. Contador de anillo módulo 8 [3].

Este contador se denomina de anillo porque la salida del último flip flop, Q7, va conectada a la entrada del primer flip flop, D0, repitiéndose la secuencia de conteo. El contador es considerado de módulo 8, debido a que contiene 8 distintas etapas, donde cada flip flop genera una salida cada octavo período de la señal de reloj.

El funcionamiento del contador de anillo módulo 8 inicia cuando la señal reset es activada, para reiniciar los valores de salida de los flip flop a 0. Luego, la señal de reset es desactivada y la señal de set de algún flip flop se activa, generando un 1 de salida en algún flip flop. Al activar este flip flop, la señal de salida pasa al siguiente flip flop y el valor en el segundo flip flop es capturado en el siguiente flanco de reloj. El valor de salida de cada flip flop es capturado en el siguiente flip flop, hasta que 8 ciclos de reloj después, se genera un dato de entrada para el primer flip flop y se repite el conteo hasta que las señales de reset o Set de los flip flop se activen.

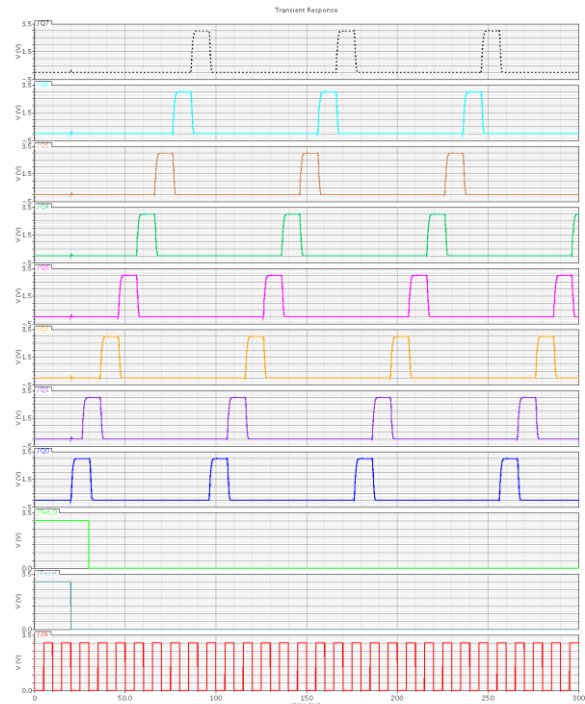


Figura 4. Funcionamiento Contador de anillo módulo 8.

Los tiempos de setup y hold se obtienen para cada flip flop individual, donde el flip flop más lento del contador, determinará la máxima velocidad del circuito.

## 4. OPTIMIZACIÓN DE TIEMPOS DE SETUP Y HOLD

### 4.1 Optimización de Flip Flop D Topología PowerPC

Para optimizar los tiempos de setup y hold, se decidió rediseñar el flip flop mediante la obtención de los mínimos tiempos de setup y hold, incrementando las dimensiones de cada uno de los transistores del flip flop para observar que transistores influyen en su velocidad [4]. Los transistores se incrementaron al doble del tamaño de manera individual.

Los transistores N del primer inversor, de la primera compuerta de transmisión y de la segunda red latch del flip flop fueron los transistores cuyas dimensiones fueron aumentadas al doble de los valores propuestos en la tabla 1.

Se muestra una tabla comparativa entre los flip flops, no optimizado y optimizado.

FF	TpHL (ps)	TpLH (ps)	Trise (ps)	Tfall (ps)	Jitter (ps)	Setup 0->1 (ps)	Setup 1->0 (ps)	Hold 0->1 (ps)	Hold 0->1 (ps)
No Optimizado	1756	1692	1219	910	64.52	-468	-341	-57	-370
Optimizado	1857	1833	1207	903	24.05	-146	-352	-62	-103

FF	Potencia Máxima (μW)	Potencia RMS (μW)	Frecuencia Máxima Teórica (MHz)	Frecuencia Máxima Real (MHz)
No Optimizado	1004	310.8	1193	581.3
Optimizado	1334	351.9	2197	580.3

Tabla 2 – Comparación entre Flip Flops.

Los tiempos de setup y hold se redujeron al incrementar las dimensiones, pero existe un incremento en los tiempos de propagación. Esto es un factor importante para el desempeño del contador, ya que aunque se hayan reducido los tiempos de setup y hold, se incrementaron los tiempos de propagación, los cuales influyen significativamente en la velocidad de un circuito secuencial.

### 4.2 Optimización de Contador de Anillo Módulo 8

El circuito fue caracterizado usando el flip flop no optimizado y el optimizado. Se comparó el desempeño en los

dos casos. A continuación se muestra la tabla comparativa entre el contador no optimizado y el contador optimizado.

Contador	TpHL (ps)	TpLH (ps)	Trise (ps)	Tfall (ps)	Jitter (ps)	Setup 0->1 (ps)	Setup 1->0 (ps)	Hold 0->1 (ps)	Hold 0->1 (ps)
No Optimizado	1800	1766	1389	996.7	-1360	-940	-933	-972	1800
Optimizado	1924	1937	1460	1060	-973	-1042	-752	-921	1924

Contador	Potencia Máxima (μW)	Potencia RMS (μW)	Frecuencia Máxima Teórica (MHz)	Frecuencia Máxima Real (MHz)
No Optimizado	7736	1600	428.8	328.9
Optimizado	8231	1713	423.5	289

Tabla 3 – Comparación entre Contadores.

Al aumentar el tiempo de propagación de las señales de salida de cada flip flop, y siendo esta señal, la entrada del siguiente flip flop, el desempeño del contador se ve afectado de manera considerable. Los tiempos de setup y hold son mejores para los flip flops del contador optimizado, pero la frecuencia máxima real es menor debido a los mayores tiempos de propagación. La potencia del contador optimizado es mayor, al tener transistores con dimensiones mayores.

## 5. LAYOUT

Para realizar un layout que optimice los tiempos de propagación de las señales del flip flop, se debe de buscar la simetría entre las señales de reloj clk y clk negada, de tal forma que estas tengan la misma propagación por el circuito. También es esencial buscar reducir las capacitancias parásitas producto de las áreas de difusiones, sobre poniendo las difusiones comunes entre los transistores.

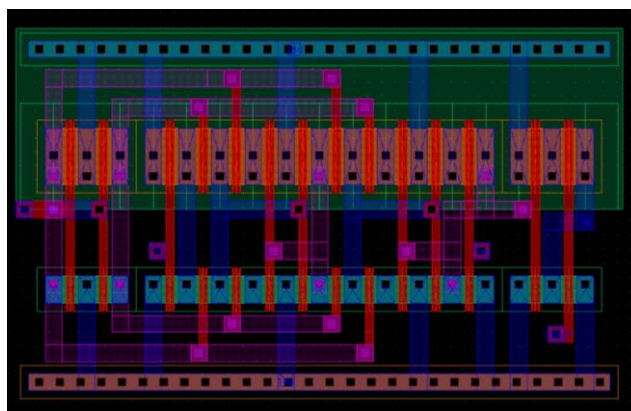


Figura 3. Layout de Flip Flop D.

El diseño de layout de registros y contadores sugiere que los flip flops que componen el circuito estén unos tras otro, en línea, de tal forma que la salida de un flip flop recorra una distancia menor a la entrada del siguiente flip flop [5], teniendo como ventaja que se reduce el efecto de capacitancia al insertar líneas de metal de menor longitud.

El layout del contador de anillo módulo 8, consiste en poner cuatro flip flops en línea y colocar abajo del cuarto flip flop, el quinto flip flop. Luego, se inserta el resto de flip flops en línea de tal forma que la salida del último flip flop este lo más cerca posible de la entrada del primero. Esto genera el compromiso de dos conexiones de metal entre las salidas y entradas de los flip flop mayores que el resto de las demás. Sin embargo, estas conexiones son menores que tener los ocho flip flops en línea e insertar una conexión de metal de longitud grande para conectar el primer flip flop con el último, ya que esto generaría una capacitancia significativa y provocaría un tiempo de propagación alto en un flip flop.

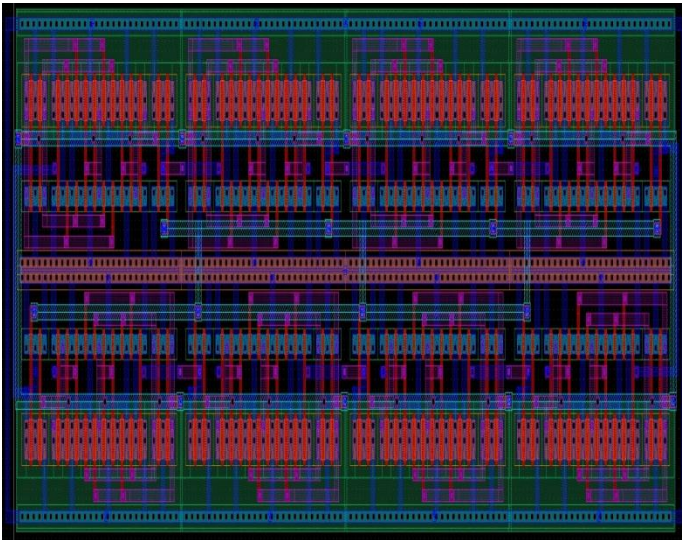


Figura 4. Layout de Contador Anillo Módulo 8.

## 6. CONCLUSIONES

La metodología para reducir los tiempos de setup and hold del flip flop logró reducir los tiempos, pero esto no garantizó una mejora en la frecuencia de operación del circuito. Como se mencionó en la descripción del contador de anillo, su frecuencia esta determinada por los tiempos de propagación de los flip flops que lo componen. Al mejorar los tiempos de setup and hold, se tuvo una mejora del jitter, pero los tiempos de propagación empeoraron. El compromiso en el diseño de circuitos secuenciales, radica en diseñar circuitos con buenos

tiempos de setup y hold y que los tiempos de propagación no se incrementen.

## 7. REFERENCIAS

- [1] V. Oklobdzija, “Multi-GHz Systems Clocking”, Fellow IEEE, Department of Electrical Engineering, University of California.
- [2] D. Marcović, B. Nikolić, and R. W. Brodersen, “Analysis and Design of Low-Energy Flip-Flops”, Proceedings of the 2001 international symposium on Low power electronics and design, Huntington Beach, California, pp. 52 – 55, 2001.
- [3] M. Stan, A. Tenca and M. Ercegovac, “Long and Fast Up/Down Counters”, *IEEE Transactions on Computers*, VOL. 47, NO. 7, July 2008.
- [4] M. Villafranco, “Metodología de caracterización y diseño de un Flip Flop D topología Power PC”, Curso de Diseño Digital I, ITESO, 2009.
- [5] S. Kang, Y. Leblebici. “CMOS Digital Integrated Circuits”, Mc Graw Will.