



Sistema Recuperador de Datos y Señal de Reloj (CDR) con Sobre-muestreo 3x (3x over-sampling) utilizando la Tecnología de 0.5 μm de AMIS.

ITESO
Universidad Jesuita
de Guadalajara

Especialidad de Diseño De Circuitos Integrados

Ulises Domínguez, Estudiante, Marcos Becerra, Estudiante, Dr. Víctor Avendaño, Asesor.

Resumen: Se implementara un circuito capaz de recuperar datos recibidos de manera serial a una frecuencia de 2Gbps, utilizando la técnica de sobre-muestreo 3x, esta técnica de muestreo está basada en capturar 3 muestras a diferentes tiempos y por medio de una lógica de selección de datos se recuperara un solo bit, para llevar a cabo la recuperación de los 8 bits son necesarias 24 diferentes señales de reloj.

I. INTRODUCCIÓN

En la actualidad algunas aplicaciones, como comunicación entre computadoras o computadora-periférico requieren tasas de transferencias de giga bits por segundo en conexiones cortas de cobre o conexiones largas basadas en fibra óptica.

Muchas veces, este tipo de comunicaciones carece de una señal de reloj para ser sincronizada con el propósito de minimizar el número de líneas de transmisión, es por esto que los sistemas de recepción deben de contar con un sistema de sincronización para recuperar los datos recibidos de manera correcta.

Los sistemas recuperadores de datos y reloj (CDR por sus siglas en inglés), son bloques elementales en estos sistemas de recuperación de datos, incluyendo las comunicaciones ópticas y las comunicaciones entre dispositivos. A lo largo de este documento se presentara la manera en que se implementó nuestro sistema recuperador de datos y reloj por medio de la técnica de muestreo de 3 veces sobre la duración del período de cada bit recibido.

II. PRINCIPIO DE FUNCIONAMIENTO

Para llevar a cabo el proceso de recuperación de cada uno de los bits que se contienen en un dato serial de entrada por medio de la técnica de sobre-muestreo 3x ("triple") es necesario realizar 3 muestreos por bit a recuperar, cada muestreo se ejecuta a diferente tiempo pero dentro del tiempo asignado para el ancho de pulso de cada bit o dato, en este caso los datos se manejan con un ancho de pulso de 500ps, el valor del ancho de pulso se divide entre 3 y el resultado es tiempo de separación que debe existir entre cada una de las señales de reloj que activaran los elementos de muestreo. En la siguiente figura se demuestra gráficamente como se realiza el proceso de muestreo:

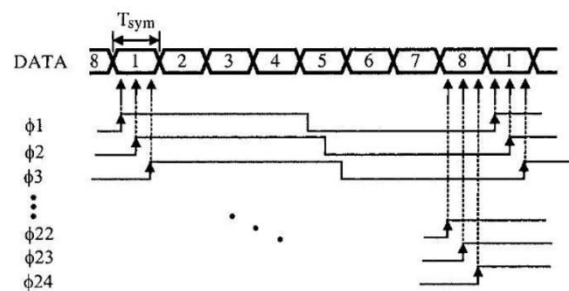


Figura 1. Técnica de Sobre-Muestreo 3x

También se puede observar que se necesitaran 24 señales de reloj, todas con un mismo tiempo de retraso de 166.66ps y a una frecuencia 8 veces menor que la frecuencia del dato aleatorio de entrada, en este caso es de 2 GHz, por lo tanto sería de 250 MHz la frecuencia para cada reloj.

Después de haber obtenido las 3 muestras del primer bit, es necesario enviarlas al mismo tiempo hacia la siguiente etapa para que se realicen las tareas correspondientes, para hacer esto posible usamos el flanco de bajada de la señal de reloj con la que se tomo la tercera y última muestra de este bit. Y así mismo será para cada tercera señal de reloj cada una teniendo 2 funciones, con el flanco de subida capturara la muestra y luego con el flanco de bajada enviara las 3 muestras tomadas hacia la siguiente etapa.

Ahora ya con las 3 muestras en la entrada de la siguiente etapa, se deberá elegir solamente una, para ello en la siguiente imagen presentamos como se lleva a cabo el proceso de selección de muestra y los 3 posibles casos que pueden ocurrir.

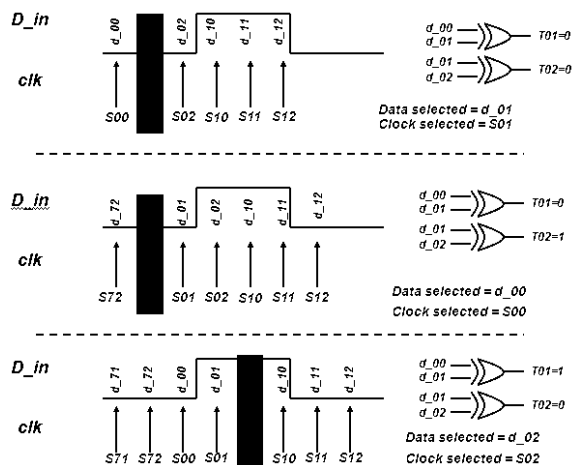


Figura 2. Escenarios posibles de las 3 muestras

Se puede observar en el caso 1 que cuando las 3 muestras son iguales se elige la "muestra 1", en el caso 2 se presentan 2 muestras iguales y se elige la mas retirada al flanco de subida que es la "muestra 0", en el último caso igualmente hay 2 muestras iguales y se vuelve a elegir la muestra más alejada al flanco de subida que es la "muestra 2".

El bloque encargado de realizar este proceso se llama XOR_CELL, el cual está formado internamente por 2 compuertas XOR las cuales generaran la lógica combinatoria necesaria para informarle al siguiente bloque cual dato fue seleccionado para que se complete el proceso.

Esta información se envía por medio de 2 señales las cuales a través de combinaciones lógicas le indicaran a la siguiente etapa del proceso, el cual es un multiplexor de datos, con 3 entradas de datos (que son los datos muestreados) 2 entradas de control (generadas por la XOR_CELL) y una sola salida.

La salida del Multiplexor llega al último bloque del sistema, un Flip-Flop, en donde el dato seleccionado deberá esperar hasta que le llegue el flanco de bajada de la última señal de reloj.

Todos estos bloques que acabamos de mencionar forman el sistema completo para recuperar únicamente 1 bit, por lo cual es necesario tener 8 veces cada uno de estos elementos.

El proceso para que se presente en la salida del sistema los 8 bits en paralelo como se menciono anteriormente se lleva a cabo con el flanco de bajada de la última señal de reloj, entonces como sabemos que existe un retraso entre las 3 señales de reloj por ejemplo del primer bit con respecto a las del octavo bit, es un pequeño tiempo que deberá esperar el dato seleccionado para el bit 1 para poder ser enviado a la salida del sistema.

En la siguiente imagen se presentara un diagrama que contiene a todos los bloques que se describieron previamente.

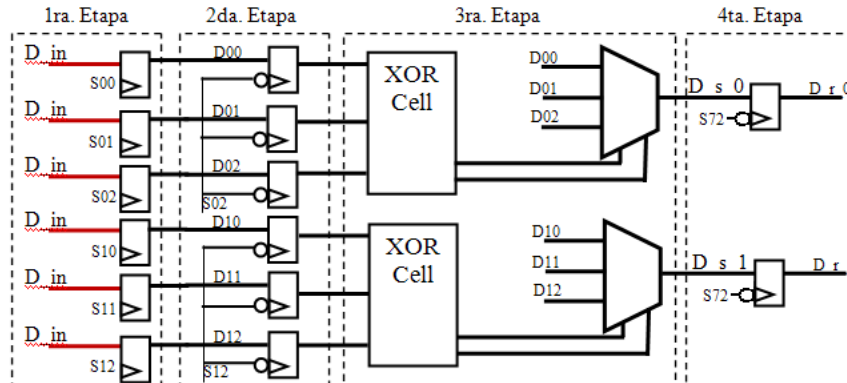


Figura 3. Representación a Bloques de las Celdas Completas para Recuperar el bit 0 y bit 1

III. DISEÑO A NIVEL TRANSISTOR

Para formar cada uno de los bloques del sistema se utilizaron transistores CMOS de la tecnología de 0.5µm de AMIS. A continuación se hará una pequeña descripción de cada uno de los elementos:

Circuito Muestreador

Este bloque se utiliza en 3 etapas del sistema completo por lo que lo consideramos la etapa más crítica. Está formado por un Flip-Flop tipo D, basado en la arquitectura del Sense-Amplifier Flip-Flop [1].

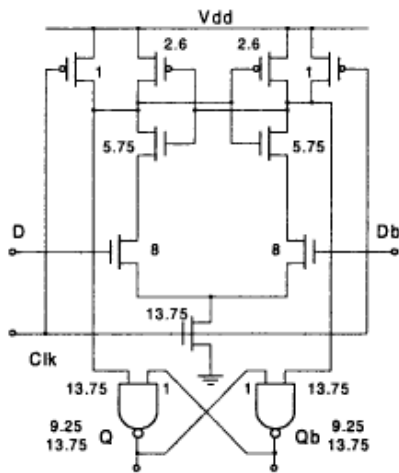


Figura 4. Sense-Amplifier Flip-Flop

Recordando el proceso de muestreo para un solo bit, son necesarias 3 muestras las cuales se toman con un tiempo de retraso de 166.6ps, la velocidad del dato de entrada es de 2GHz, por lo tanto cada bit

tiene un ancho de pulso de 500ps, por lo cual necesitamos que el Flip-Flop sea capaz de trabajar a una frecuencia de 250 MHz, que es una frecuencia 8 veces menor la Frecuencia de entrada. Este proceso es repetitivo es por eso que la frecuencia de operación debe ser precisa para no perder información.

Circuitos Selectores de Datos

El proceso de selección de datos se hace por medio de dos bloques que son los que conforman la tercera etapa del sistema. La Celda XOR_CELL y un Multiplexor. La Celda XOR_CELL está formada por dos compuertas XOR las cuales se diseñaron de manera balanceada con el propósito de que los tiempos de respuesta para una señal de subida y una bajada sean iguales.

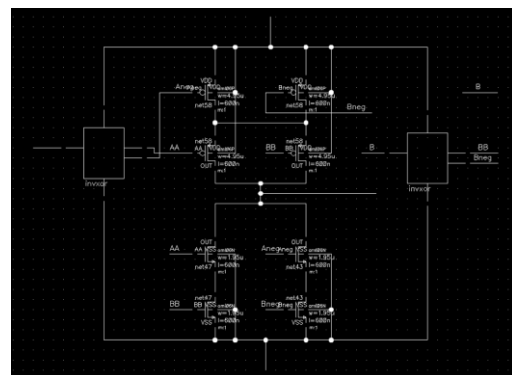


Figura 5. Compuerta XOR

Esta topología de XOR utiliza el dato y el dato negado, para ello creamos un bloque que produjera el mismo tiempo de retraso para ambas señales.

En la siguiente figura se presenta el diseño utilizado para formar el multiplexor de datos, esta formado por 2 compuertas NAND de 2 entradas, una compuerta AND de 3 entradas y por ultimo una compuerta OR de 3 entradas, además de 4 compuertas inversoras. Todos estos elementos se diseñaron en base al mismo principio que la XOR_CELL, debido a que las velocidades de trabajo de estas compuertas no es muy elevado es por eso que el diseño de estos 2 bloques no es muy crítico para el sistema.

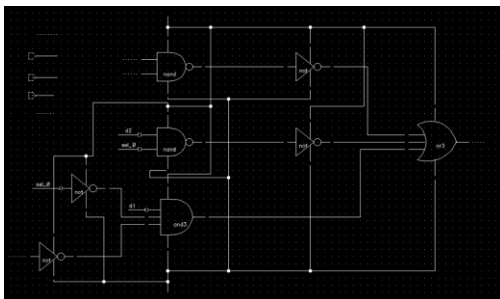


Figura 6. Multiplexor de Datos

IV. LAYOUT

En la siguiente figura se presenta el diseño de una celda para recuperar 1 solo bit.

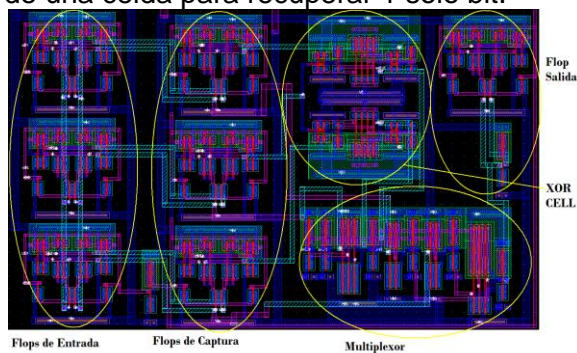


Figura 7. Layout CDR 1 bit

Para recuperar los 8 bits utilizaremos 8 celdas como la de la figura anterior. Las dimensiones del sistema completo a nivel físico son de 1090 μm por 219.3 μm .

V. SIMULACION POST-LAYOUT

Para comprobar el funcionamiento del sistema completo diseñado a nivel físico presentamos la siguiente imagen donde se demuestra cómo se recuperan los bits de entrada serial en paralelo.

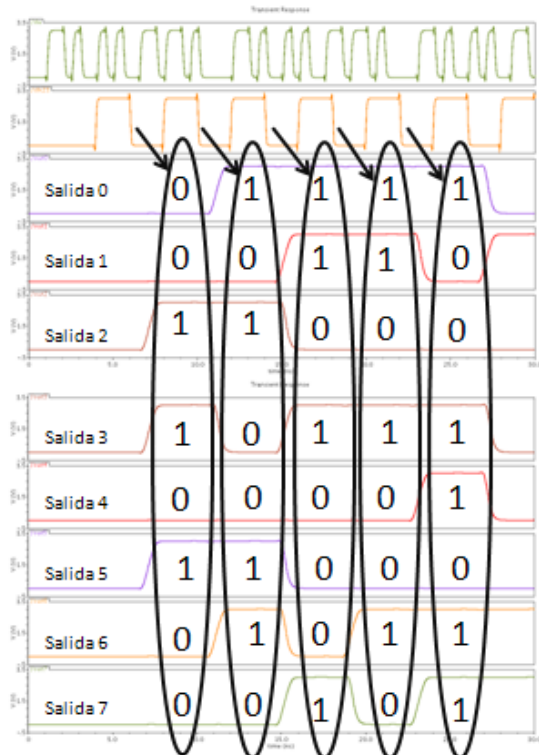


Figura 8. Recuperación de datos en Paralelo.

V. CONCLUSIONES

Este sistema presenta una excelente solución para aquellos sistemas que operan a velocidades alrededor de los Giga-Hertz y son transmitidos por líneas de transmisión en donde el número de señales son mínimas, se demuestra cómo es posible utilizando el paralelismo que por medio de múltiples señales de reloj se puede muestrear cada uno de los bits contenidos en un dato serial con una alta frecuencia. Estos datos se recuperan a una velocidad 8 veces menor que la frecuencia de entrada los cuales son presentados en paralelo y podrían procesarse más fácil como por ejemplo en un microprocesador de 8 bits. La clave del sistema es tener un buen diseño en el Flip-Flop para que se puedan muestrear datos a frecuencias mayores de 250 MHz.

VI. REFERENCIA

- [1] Comparative Analysis of Master-Slave Latches and Flip-Flops for High-Performance and Low-Power Systems, Vladimir Stojanovic and Vojin G. Oklobdzija, *Fellow, IEEE*.