

# Diseño de un Transmisor con impedancia ajustable en drenador en tecnología de 0.6um

Marcos I. Bolaños V.

## Abstracto.

El diseño y las pruebas en pre y post-layout de un transmisor con ocho niveles de impedancias ajustable en drenador son presentados. El circuito consta de sólo dos etapas, la primer etapa son los transistores de señal y la otra etapa es la de ajuste de impedancia de salida que va de 35 ohms a 65 ohms. El circuito esta diseñado en tecnología de 0.6um, para una frecuencia de operación de 100MHz, un voltaje nominal de 3V +/- 10% y un rango de temperatura de -40°C a 127°C.

## 1.- Introducción.

Los transmisores SST (Source-Series Terminated) son conocidos por ofrecer un consumo de potencia bajo y ser una solución para la transmisión de señales SerDes (Serializers – Deserializers) mientras por otro lado conservan la habilidad de manejar un gran rango de voltajes de terminación [1]. Esto hace a este tipo de transmisores compatibles con multiples estándares comparados con sus contrapartes CML. Este artículo describirá a un transmisor con ocho impedancias ajustables.

## 2.- Características y Especificaciones del Proyecto.

El sistema de transmisión consta de sólo 2 etapas, de las cuales una etapa es la de ajuste de impedancias y la otra etapa es la de los transistores de señal.

El proyecto debe funcionar correctamente para todas las variaciones que se muestran a continuación:

Esquinas de procesos	WCS	TYP	BCS
Voltaje de alimentación (V)	2.7	3	3.3
Temperatura (°C)	127	65	-40
Frecuencia (Mhz)	100	100	100

Tabla 1. Esquinas PVT

Otras especificaciones a cubrir son que los tiempos de rampa no sean mayor al 10% del periodo de la señal. Área, tiempos de retardo y potencia no cuentan con especificación de diseño.

## 3.- Desarrollo y diseño del transmisor.

El transmisor en el que está basado este trabajo es, en esencia, muy sencillo, ya que es,

básicamente, un inversor con resistencias entre el drenador de los transistores (NMOS y PMOS) y la señal de salida.

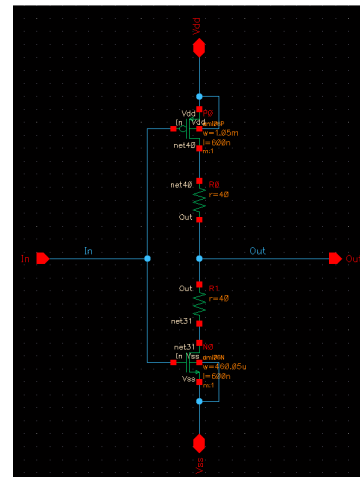


Figura 1. Transmisor Básico

Los transistores del transmisor básico son divididos en dos transistores conectados en serie, para que los transistores de los extremos sean los de señal y los que quedan internos se utilicen para habilitar las resistencias.

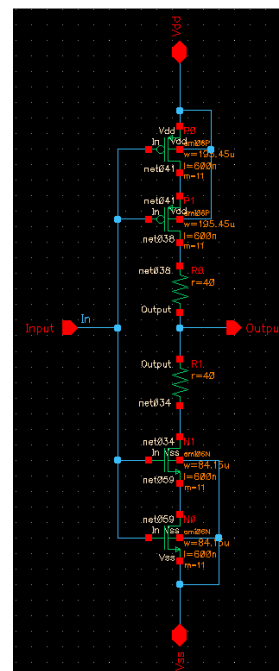


Figura 2. Transmisor simple modificado

Una vez ya divididos los transistores en dos transistores conectados en serie, los transistores internos son divididos en ocho partes conectados en serie con una resistencia, para lograr que la impedancia varíe  
La impedancia debe de variar desde 35 ohms hasta 65 ohms, por tal motivo, al tener sólo un transistor activado, su resistencia debe de ser de 65 ohms y al ir encendiendo los demás transistores que están conectados en paralelo, la resistencia vaya decrementando, hasta lograr que con los ocho transistores activados, se logre una impedancia de 35 ohms.

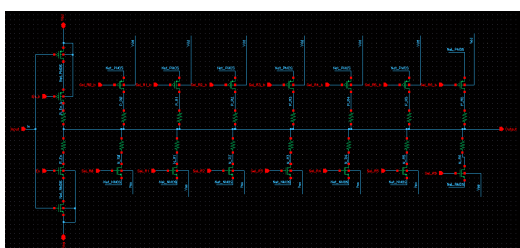


Figura 3. Transmisor completo

Ya que se han ajustado las impedancias, para que cumplan con el rango de 35 a 65 ohms se procede a realizar el Layout, el cual se muestra a continuación



Figura 4. Layout del Transmisor Completo

El Layout realizado tiene unas dimensiones de: 228.3um x 355.35um

#### 4.- Camas de prueba utilizadas

Para poder comprobar que el transmisor diseñado cumple con las especificaciones, es necesario realizarle pruebas, las cuales se han efectuado con tres diferentes capas de pruebas, las cuales se explican a continuación. Dichas capas de pruebas fueron aplicadas tanto en Pre-Layout como en Post-Layout y en las tres esquinas PVTs diferentes.

##### 4.1.- Resistencia de Carga

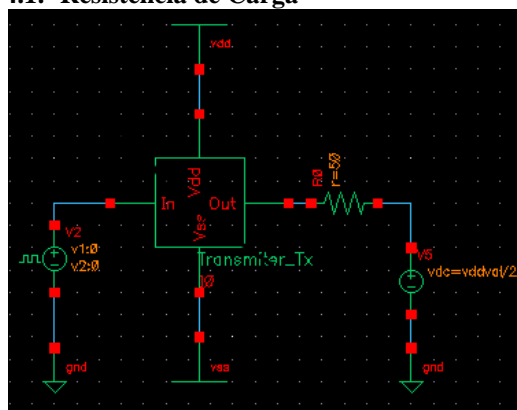


Figura 5. Cama de Prueba con  $R_L$

Esta primer cama de pruebas es utilizada para ajustar las impedancias, ya que se ha realizado el ajuste de impedancias se realizan mediciones de tiempos de rampas, de retardo y de jitter.

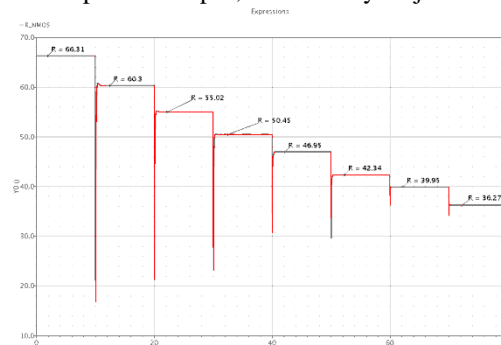


Figura 6. Calibración de Impedancias (Typ).

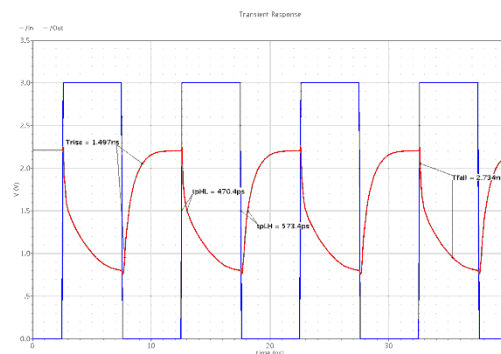


Figura 7. Tiempos de rampa y retardos (Pre-Layout, typ).

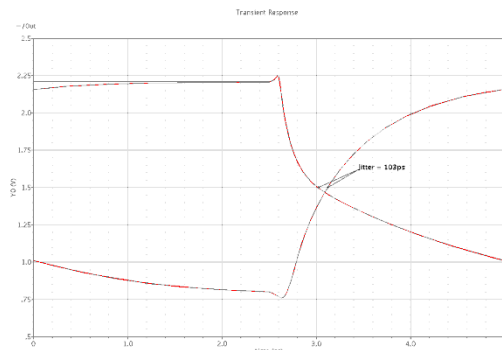


Figura 8. Medición de Jitter (Pre-layout, typ)

Los resultados obtenidos al realizar la prueba en las tres diferentes esquinas tanto en Pre-Layout como post-layout se presentan en la siguiente tabla.

NMOS	Pre-layout			Post-Layout		
	BCS	TYP	WCS	BCS	TYP	WCS
R0	60.43	66.31	73.96	60.44	66.23	73.07
R1	54.98	60.3	67.11	54.88	60.23	66.45
R2	50.14	55.02	61.32	50.12	54.95	60.71
R3	45.92	50.45	56.41	45.91	50.41	55.8
R4	42.62	46.95	52.44	42.6	46.9	52.1
R5	38.19	42.34	47.58	38.18	42.31	47.34
R6	35.73	39.95	45.23	35.71	39.94	45.03
R7	31.53	36.27	41.87	31.53	36.27	41.74

Tabla 2. Ajuste de impedancias (NMOS)

PMOS	Pre-layout			Post-Layout		
	BCS	TYP	WCS	BCS	TYP	WCS
R0	59.13	66.98	82.44	58.98	66.86	82.4
R1	53.8	60.64	75.1	56.91	64.44	79.27
R2	49.04	55.35	68.44	51.53	58.39	71.69
R3	44.9	50.54	62.6	46.95	53.28	65.51
R4	41.64	47.41	58.57	43.38	49.39	61.03
R5	37.32	42.98	53.96	38.68	44.54	55.9
R6	34.67	40.27	51.09	35.84	41.61	52.82
R7	29.74	35.74	47	30.57	36.76	48.44

Tabla 3. Ajuste de impedancias (PMOS)

	Pre-Layout			Post-Layout		
	BCS	TYP	WCS	BCS	TYP	WCS
Trise	1.11ns	1.49ns	1.63ns	590ps	801ps	1.06ns
Tfall	2.11ns	2.73ns	2.46ns	1.31ns	1.63ns	1.69ns
tpHL	295ps	470ps	517ps	321ps	281ps	442ps
tpLH	207ps	573ps	700ps	95.7ps	262ps	458ps
Jitter	87.7ps	103ps	184ps	225ps	19.3ps	325ps

Tabla 4. Mediciones con la Cama de Prueba RL

#### 4.2.- Circuito RC de carga

La siguiente cama de pruebas a utilizar (Figura 9) es con un circuito RC de carga, esto con el afán de ver como se comporta el transmisor. Las mediciones realizadas son tiempos de rampa, retardos y jitter.

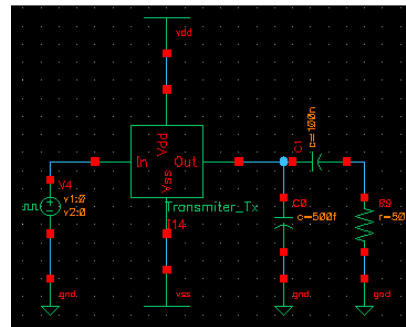


Figura 9. Cama de Pruebas con RC de carga

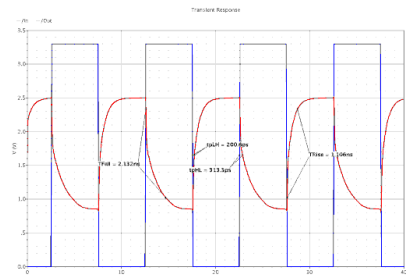


Figura 10. Tiempos de rampa y retardos (Pre-Layout, BCS).

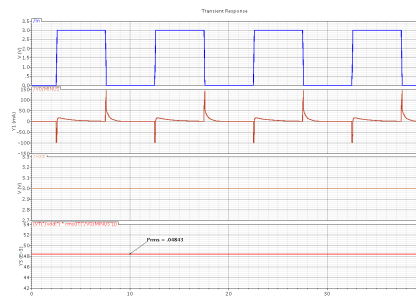


Figura 11. Potencia RMS (Pre-layout, typ)

A continuación se muestran las tablas con todos las mediciones realizadas en las tres diferentes esquinas.

	Pre-Layout			Post-Layout		
	BCS	TYP	WCS	BCS	TYP	WCS
Trise	1.10ns	1.33ns	1.62ns	712ps	800ps	1.00ns
Tfall	2.13ns	2.49ns	2.47ns	1.31ns	1.65ns	1.73ns
tpHL	313ps	416ps	537ps	181ps	296ps	476ps
tpLH	200ps	394ps	685ps	142ps	257ps	445ps
Jitter	115ps	26.3ps	151ps	39.6ps	40ps	33.4ps

Tabla 5. Mediciones con la Cama de Prueba con circuito RC

#### 4.2.- Línea de transmisión de carga

Por último la prueba a realizar es con una línea de transmisión como carga.

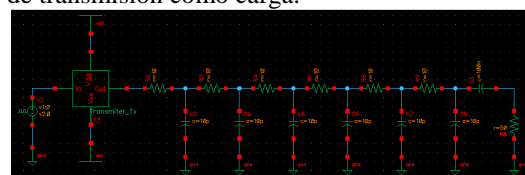


Figura 12. Cama de Prueba con Línea de Transmisión.

La línea de transmisión está siendo emulada con 6 circuitos RC conectados en serie.

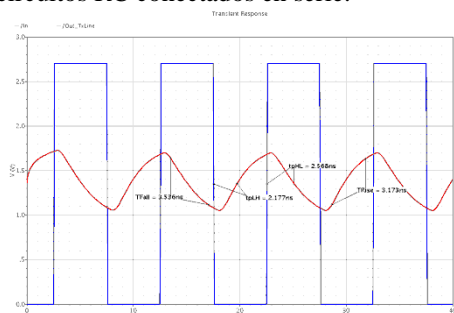


Figura 13. Tiempos de rampa y retardos (Post-Layout, WCS)

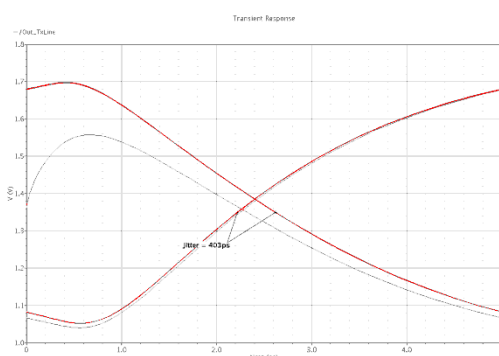


Figura 14. Medición de Jitter (Post-layout, WCS)

A continuación, la tabla con todas las mediciones realizadas con la cama de pruebas con línea de transmisión de carga

	Pre-Layout			Post-Layout		
	BCS	TYP	WCS	BCS	TYP	WCS
<b>Trise</b>	3.25ns	3.25ns	3.20ns	3.21ns	3.17ns	3.17ns
<b>Tfall</b>	3.63ns	3.61ns	3.65ns	3.33ns	3.43ns	3.53ns
<b>tpHL</b>	2.42ns	2.59ns	2.65ns	2.14ns	2.36ns	2.56ns
<b>tpLH</b>	1.91ns	2.10ns	2.49ns	1.87ns	1.94ns	2.17ns
<b>Jitter</b>	531ps	504ps	155ps	269ps	426ps	403ps

Tabla 6. Mediciones con la Cama de Prueba con línea de transmisión como carga

#### 4.5.- Resultados

Como se puede observar en la tabla 2 y 3, las impedancias en WCS y BCS no cumplen con las especificaciones de 35 a 65 ohms.

En la figura 11, se puede observar que el consumo de potencia en pre-layout, es de 48.43mW, para la PVT típico.

Se tiene un buen resultado post-layout, incluso el desempeño en cuestión de tiempos es mejor que en los resultados pre-layout.

De las tablas 4, 5 y 6, se puede observar que el nivel de jitter es algo aleatorio, ya que en esquinas como WCS el jitter es el menor, en ciertos casos, también de dichas tablas se puede observar que el transmisor no cumple con las

especificaciones de que los tiempos de rampa sean menores al 10% del periodo, pero si relajamos esa especificación al 20%, que sería para el caso de que se cuenta con un receptor en el otro extremo, si se cumple en post-layout con excepción de los resultados en la línea de transmisión.

Se puede observar de las tablas 4 y 5, que el desempeño del transmisor varía un 30% aproximadamente en cada esquina, pero en la tabla 6, se aprecia que dicho desempeño sólo se ve afectado en un 5%.

#### 6.- Conclusiones

El trabajo realizado en este transmisor es sólo el principio, ya que los resultados obtenidos, en ciertas esquinas no cumplen con las especificaciones, por lo que se tiene que trabajar para que, sin importar las esquinas, el transmisor cumpla con las especificaciones.

Vale la pena señalar que los resultados obtenidos post-layout son ligeramente mejores a los resultados obtenidos pre-layout, lo cual quiere decir que al realizar el layout, al dividir el transistor de señal en varios más de dimensiones menores ayudo a eliminar algunas capacitancias parásitas.

A pesar de los resultados obtenidos post-layout, estos se pueden mejorar realizando mejoras en el layout, como el cumplimiento de electro migración, considerando que por cada mA se debe hacer un um más grueso el metal.

#### 7. - Referencias

- C. Menolfi, T. Toifl, P. Buchmann, M. Kossel, T. Morf, J. Weiss, M. Schmatz. "A 16Gb/s Source-Series Terminated Transmitter in 65nm CMOS SOI". ISSCC Digest of technical Pappers, pp. 446-447, 614.2007.
- R. A. Philpott, J.S. Humble, R.A. Kertis, K.E. Fritz, B.K. Gilbert, E.S. Daniel. "A 20Gb/s SerDes Transmitter with Adjustable Source Impedance and 4-tap Feed-Forward Equalization in 65nm Bulk CMOS". ISSCC Digest of technical Pappers, pp. 623-626. 2008.