

Relación de Proyectos Terminales o Tesis Codirigidas**PROYECTOS TERMINALES REALIZADOS POR LOS ESTUDIANTES DE LA EDCI EN ESQUEMA DE VINCULACIÓN CON LA INDUSTRIA, ESTANCIAS INDUSTRIALES Y MOVILIDAD**

Proyectos realizados, alumnos de la EDCI y asesores de la primera generación.

TITULO	ALUMNOS	Director Tutor técnico Revisores	EMPRESA USUARIO
Análisis y Caracterización de Topologías Interpoladoras en Tecnologías Avanzadas VLSI	Arreguin Heriberto, Moreno Alejandro.	Dr. Manuel Salim	Freescale
Análisis y caracterización de topologías serializadoras en tecnologías avanzadas VLSI	Castorena Efraín	M.C. Alexandro Girón	Freescale
Differential Amplifier Rail to Rail	Arturo Scotto	Dr. Guillermo Espinosa	Freescale
Diseño de un PLL con Nuevas Topologías y Spread Spectrum	Aguilar Ernesto, Oropeza Edgar, Robles Mauricio.	Maestros: Esdras Juárez, y Federico Lobato	Freescale
Diseño de circuito backlighting para pantallas de cristal líquido	Ruiz Luís Ángel	MC. Rafael García	Freescale
Node Observation Architecture	Elizalde José Luís	Dr. Mariano Aguirre	INTEL
Sintetizador de Frecuencias para Bluetooth	Zarate Roldan, Lomeli Ismael	Dr. Sergio Solis	INTEL
Ecuilizador de Bus	Jiménez Carlos, Cordero Diego	Dr. Sergio Solis	INTEL
Modulo Verificador del DFE	Velasco Miguel Angel	MC. Víctor Rivera	INTEL
Fotopleismografo para detectar enfermedades Cardiacas	Arizaga Adriana, Castro Omar, Torres Hugo	Dr. Román Salinas	I. Tecnológico de Morelia.

Proyectos realizados, alumnos de la EDCI y asesores de la segunda generación.

#	TITULO	ALUMNOS	Director Tutor técnico Revisores	EMPRESA USUARIO	Revisores ITESO
1	Diseño de transmisor con impedancia, amplitud y pre-énfasis programables.	Enrique Maximiliano Ramos Calderón, Romeo Covarrubias Larios.	Dr. Manuel Salim Maza. Dr. Víctor Avendaño Fernández. Dr. Román Salinas Cruz.	Freescall	Dr. Ernesto Rayas
2	Arquitectura de recepción de RF con enfoque al amplificador de bajo ruido y mezclador	Carlos J. Franco Tinoco	Maestro Federico Lobato	Freescall	Dr. Ernesto Rayas
3	Diseño de un multiplexor síncrono de reloj 8-a-1 para PLL	Ariadna Isabel Hernández Vázquez, Alan Colón Reyna, Daniel Domínguez Ramírez.	Dr. Manuel Salim Maza. Dr. Víctor Avendaño Fernández. Dr. Román Salinas Cruz.	Freescall	Dr. Esteban Martínez, Entregado Esteban Roman Manuel
4	Diseño de un sistema de recuperación de datos y señales de reloj basado en interpolación de fase	Alfonso Gómez Castellanos. Bernardo Malta Sevilla.	Dr. Manuel Salim Maza. Dr. Víctor Avendaño Fernández. Dr. Román Salinas Cruz.	Freescall	Dr. Esteban Martínez
5	Codificación y verificación de un decodificador viterbi para múltiples protocolos de comunicaciones digitales.	Saúl Cuellar	Maestro Héctor Sucar Sucar	Intel	Dr. Miguel Bazdresch
6	Establecimiento de plataforma de "fault grading" para un microprocesador multicore.	Gerardo J. Perfecto Reyes. Federico Feuchter Vázquez. Erik G. Salazar López	Maestro Héctor Sucar Sucar	Intel	Dr. Miguel Bazdresch
7	Diseño de módulos controladores de memorias con interfaz a un bus CoreConnect.	Carlos Flores	Dr. Mariano Aguirre	Intel	Maestro Cuauhtemoc Aguilera
8	Metodología de Validación de circuitos de señal mixta	José Fabián Romero Ríos	Maestro Alejandro Moreno	Intel	Maestro Cuauhtemoc Aguilera

**Proyectos realizados, alumnos de la EDCI y Directores de la tercera generación.
(3 proyectos ya se presentaron y 8 están en revisión para autorizar examen de grado)**

#	TITULO	ALUMNOS	Director Tutor técnico Revisores	EMPRESA USUARIO	Revisores ITESO
1	Circuito de detección de flujo de corriente y disparo para un inversor de fuente de voltaje	Ivonne Alfaro Flores	Dr. Federico Lobato, Dr. Juan Manuel Ramírez Arredondo	Cinvestav, Guadalajara, área de potencia	Dr. Juan Manuel Hernández Cid.
2	Técnicas de diseño de layout para tecnologías nanométricas	Roberto Siordia Uribe	Dr. Sergio Solís Bustos	Intel	Dr. Esteban Martínez
3	Metodología de Cobertura Funcional para la Validación de Circuitos Integrados	Ana Laura Arceo Salcido, Fabio Alberto Velarde González	Maestro Héctor Sucar Sucar	Intel	Dr. Miguel Bazdresch
4	Desarrollo de utilerías de validación para habilitar un flujo de datos en una interfaz de alta velocidad	Brenda María Marcial Camacho, Juan Carlos Romero Ramírez	Maestro Rogelio González Hernández	Intel	Dr. Miguel Bazdresch
5	Emulador de un canal de comunicaciones analógico	Liliana Marcela Álvarez de la Cruz	Maestro Eduardo García, Maestro Alejandro Moreno	Intel	Dr. Ernesto Rayas
6	Diseño del ambiente de validación basado en un FPGA para un módulo "Digital-Front-End" (DFE) en un sistema de comunicaciones inalámbricas	González Chavero Hugo Enrique	Dr. Mariano Aguirre, Maestro Luis Cuellar	Intel	Dr. Miguel Bazdresch
7	Diseño de una Memoria SRAM de 4 Kbits Dual Port	Juan José Vallejo Martínez	Dr. Víctor Avendaño Fernández	Freescale	Maestro Cuauhtemoc Aguilera
8	Circuito recuperador de datos y reloj utilizando sobre-muestreo a lazo abierto	Martin González Navarro	Dr. Víctor Avendaño Fernández, Dr. Manuel Salim Maza	Freescale	Maestro Cuauhtemoc Aguilera
9	Optimización y parametrización de un serializador y deserializador de datos en tecnología de 0.5µm	Sergio Arámbula Hampshire	Maestro Alejandro Girón	Freescale	Maestro Cuauhtémoc Aguilera
10	Diseño de un serializador y deserializador de datos usando tecnologías propietarias Freescale Semiconductor	Lomelí Barajas Miryam	Maestro Alejandro Girón	Freescale	Maestro Cuauhtémoc Aguilera
11	Caracterización de un sintetizador de frecuencias y generación de modelos comportamentales usando lenguajes de alto nivel. y herramientas computacionales	Marcial Camacho Juan Miguel	Maestro Federico Lobato	Freescale	Dr. Ernesto Rayas
12	Diseño de celdas especiales para sistema serdes con tecnología de punta.	Chávez Hurtado José Luis	Dr. Manuel Salim Maza, Dr. Víctor Avendaño	Freescale	Dr. Esteban Martínez

**Proyectos realizados, alumnos de la EDCI y Directores. De la cuarta generación.
(Estos proyectos se están concluyendo al momento de la convocatoria PNPC)**

#	TITULO	ALUMNOS	Director Tutor técnico Revisores	EMPRESA USUARIO	Revisores ITESO
1	Herramienta para el Diseño de Circuitos Digitales Sintetizadores de Señales.	Carlos Ramírez	Dr. Mariano Aguirre	Intel	
2	Wide-span VCO for IEEE Std. 802.15.4 compliant Phase-Locked Loop	Arturo Arias	Maestro Federico Lobato	Freescale	
3	Aplicación del Flujo de Diseño Digital Mixto de sistemas digitales en tecnología avanzada	Figuroa de Ávila José Román	M.C. Alexandro Gíron Allende	Freescale	
4	Diseño Rtl Y Síntesis Física De Un Sistema Recuperador De Datos Y Reloj Con Sobremuestreo 3x Con Circuitería De Detección De Transiciones Falsas	Gracia Rodríguez José Gilberto	Dr. Víctor Avendaño Fernández.	Freescale	
5	Desarrollo optimizado de una metodología automática para flujos de síntesis	Pérez Moreno Enrique Nezahualpilli, Leonel Alejandro Haro Ruiz	Maestro Héctor Sucar Sucar, Mtro. Alejandro Larios	Intel	
6	Diseño De Una Consola De Videojuegos De 8 Bits Basada En Nintendo Entertainment System (Nes)	Vázquez Tello Carlos, Avena Alejandro, López Magaña Nora	Dr. Manuel Salim, Maestro Alejandro Giron	Freescale	

17 alumnos primera generación

14 alumnos segunda generación

14 alumnos tercera generación

10 alumnos cuarta generación